

# Языки описания схем

(mk.cs.msu.ru → Лекционные курсы → Языки описания схем)

## Блок П5

Практика:  
параметры, массивы и генерация в Verilog

Лектор:  
**Подымов Владислав Васильевич**

E-mail:  
**valdus@yandex.ru**

# Упражнение

Разработать модуль с заданным поведением  
в поддерживаемом фрагменте синтаксиса языка Verilog

1. Параллельный регистр произвольной ширины  
параметр  $W$  — ширина регистра, по умолчанию 8
2. Последовательный регистр произвольной ширины  
параметр  $W$  — ширина регистра, по умолчанию 8
3. Мультиплексор с двумя входами произвольной ширины  
параметр  $W$ , по умолчанию 1  
входы   ▶ ширины 1:  $s$   
          ▶ ширины  $W$ :  $x_0, x_1$   
выход ширины  $W$ :  $y$ :        $y = x_s$
4. Мультиплексор с произвольным числом входов ширины 1  
параметр  $W$ , по умолчанию 1  
входы   ▶ ширины  $W$ :  $s$   
          ▶ ширины  $2^W$ :  $x$   
выход ширины 1:  $y$ :        $y$  всегда совпадает с  $s$ -м разрядом входа  $x$

## Упражнение

Разработать модуль с заданным поведением  
в поддерживаемом фрагменте синтаксиса языка Verilog

5. Мультиплексор с произвольным числом входов произвольной ширины

параметры  $WS$ ,  $WX$ , по умолчанию 1 и 1

- входы
- ▶ ширины  $WS$ :  $s$
  - ▶ ширины  $WX \cdot 2^{WS}$ :  $x$

выход ширины  $WX$ :  $y$ :

- ▶ входная шина разбивается на  $2^{WS}$  подшин ширины  $WX$ :  
 $x = (i_{2^{WS}-1} \dots i_1 i_0)$
- ▶  $y = i_s$

## Упражнение

Разработать модуль с заданным поведением  
в поддерживаемом фрагменте синтаксиса языка Verilog

6. Демультиплексор с двумя выходами произвольной ширины

параметр  $W$ , по умолчанию 1

- входы
- ▶ ширины 1:  $s$
  - ▶ ширины  $W$ :  $x$

выходы ширины  $W$ :  $y_0, y_1$ :

- ▶  $y_s = x$
- ▶  $y_{1-s} = 0$

7. Демультиплексор с произвольным числом выходов ширины 1

параметр  $W$ , по умолчанию 1

- входы
- ▶ ширины  $W$ :  $s$
  - ▶ ширины 1:  $x$

выход ширины  $2^W$ :  $y$ :

- ▶  $x$  перенаправляется в  $s$ -й разряд  $y$
- ▶ остальные разряды  $y = 0$

## Упражнение

Разработать модуль с заданным поведением  
в поддерживаемом фрагменте синтаксиса языка Verilog

8. Демультиплексор с произвольным числом выходов произвольной ширины

параметры  $WS$ ,  $WX$ , по умолчанию 1 и 1

- входы
- ▶ ширины  $WS$ :  $s$
  - ▶ ширины  $WX$ :  $x$

выход ширины  $WX \cdot 2^{WS}$ :  $y$ :

- ▶ выходная шина разбивается на  $2^{WS}$  подшин ширины  $WX$ :  
 $y = (i_{2^{WS}-1} \dots i_1 i_0)$
- ▶  $x$  перенаправляется в подшину  $i_s$
- ▶ все разряды остальных подшин — 0

# Упражнение

Разработать модуль с заданным поведением  
в поддерживаемом фрагменте синтаксиса языка Verilog

## 9. Настраиваемый параллельный регистр

параметры  $W$ ,  $R$ ,  $E$ , по умолчанию 8, 0 и 0

входы  $d$ ,  $clk$ ,  $rst$ ,  $en$

выходы  $q$

- ▶  $W$  — ширина регистра (входа  $d$  и выхода  $q$ )
- ▶  $E == 0 \Rightarrow$  вход  $en$  не задействуется
- ▶  $E == 1 \Rightarrow en$  — сигнал включения регистра
- ▶  $R == 0 \Rightarrow$  вход  $rst$  не задействуется
- ▶  $R == 1 \Rightarrow rst$  — синхронный сброс
- ▶  $R == 2 \Rightarrow rst$  — асинхронный сброс

# Упражнение

Разработать модуль с заданным поведением  
в поддерживаемом фрагменте синтаксиса языка Verilog

## 10. Настраиваемый последовательный регистр

параметры  $W$ ,  $R$ ,  $E$ ,  $D$ , по умолчанию 8, 0, 0 и 0

входы  $d$ ,  $clk$ ,  $rst$ ,  $en$

выходы  $q$

- ▶  $W$  — ширина регистра (выхода  $q$ )
- ▶  $E == 0 \Rightarrow$  вход  $en$  не задействуется
- ▶  $E == 1 \Rightarrow$   $en$  — сигнал включения регистра
- ▶  $R == 0 \Rightarrow$  вход  $rst$  не задействуется
- ▶  $R == 1 \Rightarrow$   $rst$  — синхронный сброс
- ▶  $R == 2 \Rightarrow$   $rst$  — асинхронный сброс
- ▶  $D == 0 \Rightarrow$  прямое направление: значение сдвигается влево,  $d$  записывается в младший разряд
- ▶  $D == 1 \Rightarrow$  обратное направление: значение сдвигается вправо,  $d$  записывается в старший разряд