Первая часть основного задания по курсу “Языки описания схем”

Спроектировать на языке `Verilog` однотактовый 32-битный процессор, максимально соблюдая синтезные ограничения синтаксиса языка `Verilog`.

Общие требования к архитектуре процессора:

1. Он должен содержать модули, имитирующие память инструкций, доступную только для чтения, и память данных, доступную для чтения и записи, с шинами данных ширины 32.

2. Он должен содержать функциональные блоки, реализующие исполнение команды согласно классическим стадиям.

3. В нём должны фактически содержаться как минимум 8 регистров общего назначения, индексируемые от 0 до 7 (обработка команд, обращающихся к отсутствующим регистрам, — произвольная).

4. Его система команд должна

   - либо быть подмножеством команд архитектуры MIPS, содержащим *как минимум* следующие команды: **add**, **sub**, **and**, **or**, **addi**, **slt**, **slti**, **lw**, **sw**, **beq**, **bne**, **j** —
   - либо, по согласованию, обладать аналогичным функционалом в другой архитектуре системы команд.