

Языки описания схем

mk.cs.msu.ru → Лекционные курсы → Языки описания схем

Блок П1

Практика:
разработка комбинационных
и последовательных схем

Лектор:
Подымов Владислав Васильевич
E-mail:
valdus@yandex.ru

ВМК МГУ, 2023/2024, осенний семестр

Упражнение 1

Разработать комбинационную схему со следующим поведением:

1. Мультиплексор с двумя однобитовыми входами

ВХОДЫ x_0, x_1, s

ВЫХОД y :

$$y = x_s$$

2. Мультиплексор с двумя двухбитовыми входами

ВХОДЫ x_0 ширины 2, x_1 ширины 2, s

ВЫХОД $y = (y_1 y_0)$:

$$y = x_s$$

3. Мультиплексор с четырьмя однобитовыми входами

ВХОДЫ x_0, x_1, x_2, x_3, s ширины 2

ВЫХОД y :

$$y = x_s$$

Упражнение 1

Разработать комбинационную схему со следующим поведением:

4. Дешифратор с двумя однобитовыми выходами

ВХОДЫ x , s

ВЫХОДЫ y_0 , y_1 :

▶ $y_s = x$

▶ $y_{1-s} = 0$

5. Дешифратор с двумя двухбитовыми выходами

ВХОДЫ x ширины 2, s

ВЫХОДЫ y_0 ширины 2, y_1 ширины 2:

▶ $y_s = x$

▶ $y_{1-s} = 0$

6. Дешифратор с четырьмя однобитовыми выходами

ВХОДЫ x , s ширины 2

ВЫХОДЫ y_0 , y_1 , y_2 , y_3 :

▶ $y_s = x$

▶ значение на остальных выходах — 0

Упражнение 1

Разработать комбинационную схему со следующим поведением:

7. Двухразрядный сумматор

входы x ширины 2, y ширины 2

выход z ширины 3:

$$z = x + y$$

8. Трёхразрядный сумматор

входы x ширины 3, y ширины 3

выход z ширины 4:

$$z = x + y$$

9. Двухразрядный компаратор

входы x ширины 2, y ширины 2

выход ge :

$$ge = 1 \Leftrightarrow x \geq y$$

10. Трёхразрядный компаратор

входы x ширины 3, y ширины 3

выход ge :

$$ge = 1 \Leftrightarrow x \geq y$$

Упражнение 1

Разработать комбинационную схему со следующим поведением:

11. Двухразрядный умножитель

входы x ширины 2, y ширины 2

выход z ширины 4:

$$z = x \cdot y$$

12. Трёхразрядный умножитель

входы x ширины 3, y ширины 3

выход z ширины 6:

$$z = x \cdot y$$

13. Простое двухразрядное арифметическое устройство

входы x ширины 2, y ширины 2, s

выход z ширины 4:

▶ если $s = 0$, то $z = x + y$

▶ если $s = 1$, то $z = x \cdot y$

14. Простое трёхразрядное арифметическое устройство

входы x ширины 3, y ширины 3, s

выход z ширины 6:

▶ если $s = 0$, то $z = x + y$

▶ если $s = 1$, то $z = x \cdot y$

Упражнение 2

Используя триггер T и логические вентили, реализовать триггер T с дополнительным входом

- а) асинхронного сброса
- б) асинхронной установки
- в) включения

1. T — RS-триггер
2. T — D-защёлка

Упражнение 3

Используя D-триггер без дополнительных входов, любые вариации D-защёлки и RS-триггера и логические вентили, разработать схему с обратными связями, реализующую:

1. D-триггер с синхронным сбросом
2. D-триггер с синхронной установкой
3. D-триггер с асинхронным сбросом
4. D-триггер с асинхронной установкой
5. D-триггер с включением

Упражнение 4

Разработать **синхронную** последовательную схему с тактовым входом clk , входом асинхронного сброса ar и заданным поведением:

1. Счётчик чётности

ВХОД x

ВЫХОД y :

- ▶ $y(1) = 0$
- ▶ $y(t + 1) = y(t) \oplus x(t)$

2. Двухбитовый счётчик

выход y ширины 2:

- ▶ порядок следования чисел: $0 \mapsto 1 \mapsto 2 \mapsto 3 \mapsto 0$
- ▶ $y(1) = 0$
- ▶ $y(t) \mapsto y(t + 1)$

Упражнение 4

Разработать **синхронную** последовательную схему с тактовым входом clk , входом асинхронного сброса ar и заданным поведением:

3. Хаотичный двухбитовый счётчик

выход y ширины 2:

- ▶ порядок следования чисел: $0 \rightsquigarrow 2 \rightsquigarrow 3 \rightsquigarrow 1 \rightsquigarrow 0$
- ▶ $y(1) = 0$
- ▶ $y(t) \rightsquigarrow y(t + 1)$

4. Условно-хаотичный двухбитовый счётчик

вход x

выход y ширины 2:

- ▶ $y(1) = 0$
- ▶ если $x(t) = 0$, то $y(t) \mapsto y(t + 1)$
- ▶ если $x(t) = 1$, то $y(t) \rightsquigarrow y(t + 1)$

Упражнение 4

Разработать **синхронную** последовательную схему с тактовым входом clk , входом асинхронного сброса ar и заданным поведением:

5. Таймер

ВЫХОД y :

$$y(t) = 1 \Leftrightarrow t \geq 3$$

6. Распознаватель 1

ВХОД x

ВЫХОД y :

$$y(t) = 1 \Leftrightarrow t \geq 4 \text{ и } (x(t-3)x(t-2)x(t-1)) = (101)$$

7. Распознаватель 2

ВХОД x

ВЫХОД y :

$$y(t) = 1 \Leftrightarrow \exists t' : 4 \leq t' \leq t \text{ и } (x(t'-3)x(t'-2)x(t'-1)) = (101)$$

Упражнение 4

Разработать **синхронную** последовательную схему с тактовым входом clk , входом асинхронного сброса ar и заданным поведением:

8. Делитель частоты 1

выход y :

y — тактовый сигнал вдвое меньшей частоты по сравнению с clk

9. Делитель частоты 2

выход y :

y — тактовый сигнал вчетверо меньшей частоты по сравнению с clk

10. Делитель частоты 3

выход y :

y — тактовый сигнал втрое меньшей частоты по сравнению с clk