

Языки описания схем

mk.cs.msu.ru → Лекционные курсы → Языки описания схем

Блок 10

Шины
Регистры
Уровень регистровых передач (RTL)

Лектор:
Подымов Владислав Васильевич
E-mail:
valdus@yandex.ru

ВМК МГУ, 2024/2025, осенний семестр

Шины

n -разрядная шина (она же шина **ширины n**) — это набор из n соединений, пронумерованных числами $0, 1, \dots, n - 1$:



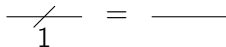
$x[i]$ — i -е соединение шины x

$(x_{n-1}, \dots, x_1, x_0)$ — n -разрядная шина, i -е соединение которое есть x_i

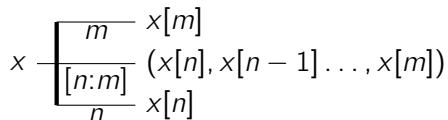
Значение $(\alpha_{n-1} \dots \alpha_0)$ шины иногда для удобства трактуется как число, двоичная запись которого есть обозначенный набор нулей и единиц:

$$(\alpha_{n-1} \dots \alpha_0)_2 = \sum_{i=0}^{n-1} \alpha_i \cdot 2^i$$

Шину разрядности 1 принято отождествлять с «обычным» соединением:



Для заданной шины x её соединения и подшины будем изображать так:



Регистры

Регистр разрядности n — это последовательная схема, предназначенная для хранения, преобразования и выдачи n булевых значений

Состоянием регистра называется хранящийся в нём набор булевых значений

Многие понятия, введённые для триггеров (тактовый вход, выход q , синхронность, асинхронность, сброс, установка, включение, поведение в дискретном времени, ...) естественным образом обобщаются на регистры

Разнообразие регистров, используемых на практике, огромно, и в курсе не ставится цель рассказать обо всех существующих регистрах

Ограничимся только несколькими примерами популярных регистров

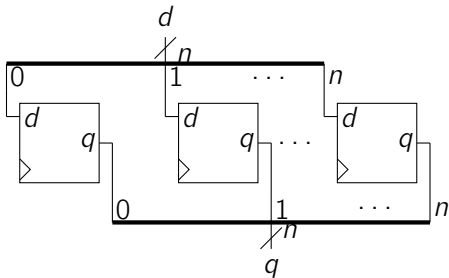
Регистры

Параллельный n -разрядный регистр — это синхронный регистр, который

- ▶ содержит входную шину (d) ширины n
- ▶ во время переднего фронта тактового сигнала **сохраняет** в состоянии текущее значение на входной шине:

$$q(t + 1) = d(t)$$

Типичное устройство параллельного регистра:



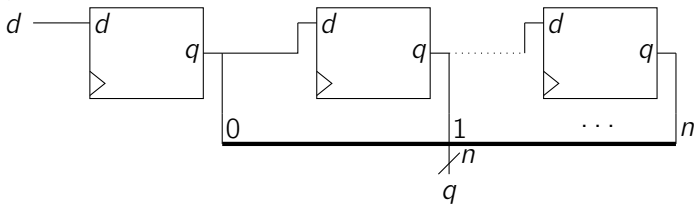
Изображать параллельный регистр будем так же, как и D-триггер, используя шины подходящей ширины вместо одnorазрядных соединений

Регистры

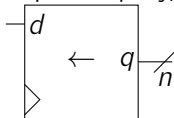
Последовательный (он же **сдвигающий**, он же **сдвиговый**)
 n -разрядный регистр — это синхронный регистр, который

- ▶ содержит информационный вход (d)
- ▶ во время переднего фронта тактового сигнала заменяет состояние ($q_{n-1}q_{n-2} \dots q_0$) на ($q_{n-2} \dots q_0 d$):
$$q(t+1) = (2 \cdot q(t) + d) \bmod 2^n$$

Типичное устройство последовательного регистра:



Изображать последовательный регистр будем так:



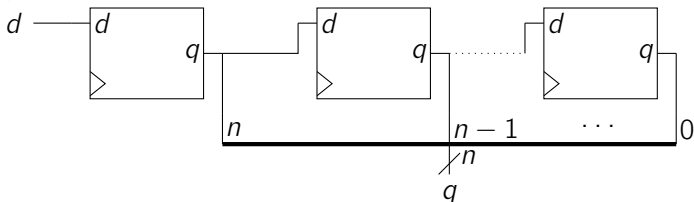
Регистры

На самом деле существует несколько «типовых» вариантов последовательного n -разрядного регистра

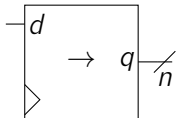
Например, применяется и такой вариант, в котором состояние $(q_{n-1} \dots q_1 q_0)$ заменяется на $(dq_{n-1} \dots q_1)$:

$$q(t+1) = q(t)/2 + d \cdot 2^{n-1}$$

Типичное устройство такого варианта последовательного регистра:

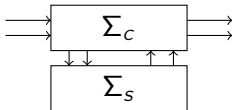


Изображать такой вариант последовательного регистра будем так:



Ещё пара слов о последовательных схемах

Типичное устройство последовательной схемы (**напоминание**):



Σ_s — **последовательная часть** (набор триггеров)

Σ_c — **комбинационная часть** (комбинационная схема)

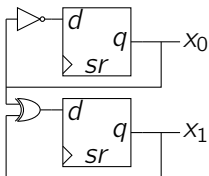
Триггеры последовательной части, как правило, группируются в **регистры** согласно содержательному смыслу (*например, согласно тому, как в схеме хранятся и преобразуются **двоичные записи чисел***)

Наряду с логическими вентилями в комбинационной части иногда используются и **арифметические** (с арифметикой по модулю $2^{\text{ширина}}$)

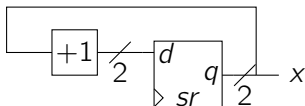
Арифметический вентиль принято рисовать как прямоугольник с изображением реализуемой арифметической операции

Ещё пара слов о последовательных схемах

Пример (двухбитовый счётчик):



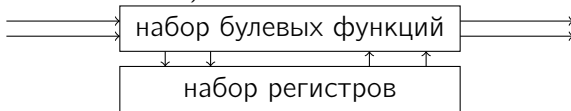
Реализация двухбитового счётчика с использованием регистра:



- ▶ $x(0) = 0$
- ▶ $x(t + 1) = (x(t) + 1) \bmod 4$

Уровень регистровых передач

Если в последовательной части схемы записать набор регистров, а в комбинационной части вместо вентилей записать набор реализуемых ими булевых функций (*представленных любым способом*), то получится описание схемы на **уровне регистровых передач** (RTL, Register Transfer Level):



Вокруг RTL формируются остальные уровни абстракции, используемые на ранних этапах проектирования цифровых схем:

