

Языки описания схем

(mk.cs.msu.ru → Лекционные курсы → Языки описания схем)

Блок 10

Практика:

Verilog

лектор:

Подымов Владислав Васильевич

e-mail:

valdus@yandex.ru

Осень 2017

Упражнение

Описать на языке Verilog модуль с заданным функционалом

При помощи функциональной симуляции убедиться, что модуль описан верно

Упражнение

- ▶ D-триггер
 - ▶ без сброса
 - ▶ со сбросом
- ▶ Параллельный 8-разрядный регистр
 - ▶ без сброса
 - ▶ со сбросом
- ▶ Последовательный 8-разрядный регистр
 - ▶ без сброса
 - ▶ со сбросом
- ▶ Мультиплексор заданной ширины с однобитовыми информационными входами
 - ▶ ширины 1
 - ▶ ширины 2
 - ▶ ширины 3

Упражнение

▶ Счётчик чётности

- ▶ входы: x — информационный, clk — тактовый, rst — сброс
- ▶ выход: y
 - ▶ до сброса значение не определено
 - ▶ после сброса равен $1 \Leftrightarrow$ число единиц по передним фронтам тактового сигнала нечётно

▶ Счётчик

- ▶ входы: clk — тактовый, rst — сброс
- ▶ выход: y — шина ширины 2, после сброса выдаёт 0, по каждому переднему фронту прибавляет к текущему значению 1 (по модулю 4)

▶ Ограниченный счётчик

- ▶ входы: clk — тактовый, rst — сброс
- ▶ выход: y — ширины 2, после сброса выдаёт 0, по каждому переднему фронту прибавляет к текущему значению 1, останавливается на значении 3 и больше не изменяется

Упражнение

▶ Делитель частоты

- ▶ тактовый вход: clk с сигналом, изменяющимся с фиксированной частотой,
- ▶ выход: y — с тактовым сигналом частоты в N раз меньше clk
 - ▶ $N = 2$
 - ▶ $N = 4$
 - ▶ $N = 6$

▶ Распознаватель

- ▶ входы: x — информационный, clk — тактовый, rst — сброс
- ▶ выход: y — до сброса значение не определено, после сброса равен 1 $\Leftrightarrow$ в информационном входе по последним N **задним** фронтам тактового сигнала располагаются значения α (слева направо — от раннего фронта к позднему)
 - ▶ $N = 2, \alpha = 01$
 - ▶ $N = 3, \alpha = 110$
 - ▶ $N = 6, \alpha = 010101$

Конец блока 10