

# Языки описания схем

mk.cs.msu.ru → Лекционные курсы → Языки описания схем

## Блок ПЗ

Практика:  
параметры, массивы и генерация в Verilog

Лектор:  
**Подымов Владислав Васильевич**  
E-mail:  
**valdus@yandex.ru**

ВМК МГУ, 2023/2024, осенний семестр

## Упражнение

Разработать модуль с заданным поведением в поддерживаемом фрагменте синтаксиса языка Verilog

1. Параллельный регистр произвольной ширины  
параметр  $W$  — ширина регистра, по умолчанию 8
2. Последовательный регистр произвольной ширины  
параметр  $W$  — ширина регистра, по умолчанию 8
3. Мультиплексор с двумя входами произвольной ширины  
параметр  $W$ , по умолчанию 1  
входы  $s$ ; ширина 1  
 $x_0, x_1$ ; ширина  $W$   
выход  $y$ ; ширина  $W$   
поведение  $y = x_s$
4. Мультиплексор с произвольным числом входов ширины 1  
параметр  $W$ , по умолчанию 1  
входы  $s$ ; ширина  $W$   
 $x$ ; ширина  $2^W$   
выход  $y$ ; ширина 1  
поведение  $y$  всегда совпадает с  $s$ -м разрядом входа  $x$

## Упражнение

Разработать модуль с заданным поведением  
в поддерживаемом фрагменте синтаксиса языка Verilog

5. Мультиплексор с произвольным числом входов произвольной ширины

параметры  $WS$ ,  $WX$ ; по умолчанию 1 и 1

- входы
- ▶  $s$ ; ширина  $WS$
  - ▶  $x$ ; ширина  $WX \cdot 2^{WS}$

выход  $y$ ; ширина  $WX$

- поведение
- ▶ входная шина разбивается на  $2^{WS}$  подшин ширины  $WX$ :  
 $x = (z_{2^{WS}-1} \dots z_1 z_0)$
  - ▶  $y = z_s$

## Упражнение

Разработать модуль с заданным поведением  
в поддерживаемом фрагменте синтаксиса языка Verilog

6. Демультиплексор с двумя выходами произвольной ширины

параметр  $W$ ; по умолчанию 1

входы   ▶  $s$ ; ширина 1:  
          ▶  $x$ ; ширина  $W$

выходы  $y_0, y_1$ ; ширина  $W$

поведение   ▶  $y_s = x$   
              ▶  $y_{1-s} = 0$

7. Демультиплексор с произвольным числом выходов ширины 1

параметр  $W$ ; по умолчанию 1

входы   ▶  $s$ ; ширина  $W$   
          ▶  $x$ ; ширина 1

выход  $y$ ; ширина  $2^W$

поведение   ▶  $x$  направляется в  $s$ -й разряд  $y$   
              ▶ остальные разряды  $y = 0$

## Упражнение

Разработать модуль с заданным поведением  
в поддерживаемом фрагменте синтаксиса языка Verilog

### 8. Демультиплексор с произвольным числом выходов произвольной ширины

параметры  $WS$ ,  $WX$ ; по умолчанию 1 и 1

- входы
- ▶  $s$ ; ширина  $WS$
  - ▶  $x$ ; ширина  $WX$

выход  $y$ ; ширина  $WX \cdot 2^{WS}$

- поведение
- ▶ выходная шина разбивается на  $2^{WS}$  подшин ширины  $WX$ :  
 $y = (z_{2^{WS}-1} \dots z_1 z_0)$
  - ▶  $x$  перенаправляется в подшину  $z_s$
  - ▶ все разряды остальных подшин — 0

## Упражнение

Разработать модуль с заданным поведением  
в поддерживаемом фрагменте синтаксиса языка Verilog

### 9. Настраиваемый параллельный регистр

параметры  $W$ ,  $R$ ,  $E$ ; по умолчанию 8, 0 и 0

входы  $d$ ,  $clk$ ,  $rst$ ,  $en$

выходы  $q$

- ▶  $W$  — ширина регистра (входа  $d$  и выхода  $q$ )
- ▶  $E == 0 \Rightarrow$  вход  $en$  не задействуется
- ▶  $E == 1 \Rightarrow$   $en$  — вход включения регистра
- ▶  $R == 0 \Rightarrow$  вход  $rst$  не задействуется
- ▶  $R == 1 \Rightarrow$   $rst$  — синхронный сброс
- ▶  $R == 2 \Rightarrow$   $rst$  — асинхронный сброс

# Упражнение

Разработать модуль с заданным поведением  
в поддерживаемом фрагменте синтаксиса языка Verilog

## 10. Настраиваемый последовательный регистр

параметры  $W$ ,  $R$ ,  $E$ ,  $D$ , по умолчанию 8, 0, 0 и 0

входы  $d$ ,  $clk$ ,  $rst$ ,  $en$

выходы  $q$

- ▶  $W$  — ширина регистра (выхода  $q$ )
- ▶  $E == 0 \Rightarrow$  вход  $en$  не задействуется
- ▶  $E == 1 \Rightarrow en$  — сигнал включения регистра
- ▶  $R == 0 \Rightarrow$  вход  $rst$  не задействуется
- ▶  $R == 1 \Rightarrow rst$  — синхронный сброс
- ▶  $R == 2 \Rightarrow rst$  — асинхронный сброс
- ▶  $D == 0 \Rightarrow$  прямое направление: значение сдвигается влево,  $d$  записывается в младший разряд
- ▶  $D == 1 \Rightarrow$  обратное направление: значение сдвигается вправо,  $d$  записывается в старший разряд

# Упражнение

Разработать модуль с заданным поведением  
в поддерживаемом фрагменте синтаксиса языка Verilog

## 11. Блок параллельных регистров ширины 8

параметр  $WS$ ; по умолчанию 3

- входы
- ▶  $clk$ ,  $rst$  — тактовый и асинхронного сброса
  - ▶  $s$ ; ширина  $WS$
  - ▶  $d$ ; ширина 8
  - ▶  $wr$ ; ширина 1

выход  $x$ ; ширина 8

- поведение
- ▶ В схеме содержится  $2^{WS}$  параллельных регистров ширины 8 с асинхронным сбросом:  $r_0, \dots, r_{2^{WS}-1}$
  - ▶ В  $x$  всегда направляется состояние регистра  $r_s$
  - ▶ По положительному фронту  $clk$ : если  $wr = 1$ , то в регистре  $r_s$  сохраняется значение  $d$