

НЕКОТОРЫЕ ВОПРОСЫ ТЕОРИИ УПРАВЛЯЮЩИХ СИСТЕМ

Спецсеминар
20 марта 2015 г.

Обзор основных современных подходов к решению задачи привязки логической схемы к библиотеке.

Докладчик – Автайкина М. А.

В докладе будут рассмотрены некоторые подходы к решению задачи привязки логической схемы к библиотеке, приведены соответствующие алгоритмы на основании следующих статей:

1. J. Cong, C. Wu, E. Ding. *Cut Ranking and Pruning: Enabling A General And Efficient FPGA Mapping Solution.* // Proc. ACM Intl. Symp. on FPGA, Monterey, California, pp. 29-35, February 1999.
2. A. Mishchenko, S. Chatterjee, R. Brayton, X. Wang, and T. Kam. *Technology mapping with Boolean matching, supergates and choices.* // ERL Technical Report, EECS Dept., UC Berkeley, March 2005
3. A. Mishchenko, S. Chatterjee, R. Brayton. *Improvements to technology mapping for LUT-based FPGAs.* // Proc. FPGA '06, pp. 41 - 49
4. Jason Cong, Fellow, IEEE, Yean-Yow Hwang. *Boolean Matching for LUT-Based Logic Blocks With Applications to Architecture Evaluation and Technology Mapping.* // IEEE transactions on computer-aided design of integrated circuits and systems, Vol. 20, No. 9, september 2001, pp. 1077 - 1090
5. Jason Cong, Yean-Yow Hwang. *Boolean Matching for Complex PLBs in LUT-based FPGAs with Application to Architecture Evaluation.* // Proc. ACM 6th Int. Symp. FPGA, Feb. 1998, pp. 27–34