Математические модели и методы логического синтеза СБИС

Осень 2022

Лекция 1

План лекции

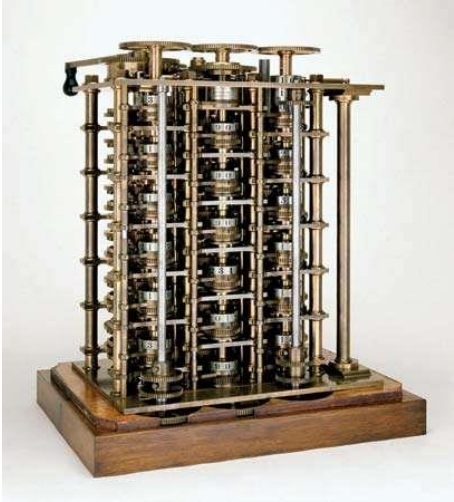
- Общие сведения о проектировании цифровых СБИС, средства автоматизации проектирования. Основные стратегии проектирования цифровых СБИС.
- Методология проектирования на основе стандартных элементов (ячеек). Программируемые матрицы логических элементов (ПЛИС). Системы на кристалле.
- Уровни абстракции при проектировании цифровых СБИС. Математические модели, используемые для описания различных уровней абстракции цифровой СБИС. Комбинационные и последовательные схемы.
- Упрощенный маршрут проектирования современных цифровых СБИС.
- Меры качества разработки цифровых СБИС. Параметры, оптимизируемые при проектировании СБИС. Источники шума в СБИС, влияние шума на цифровые СБИС.

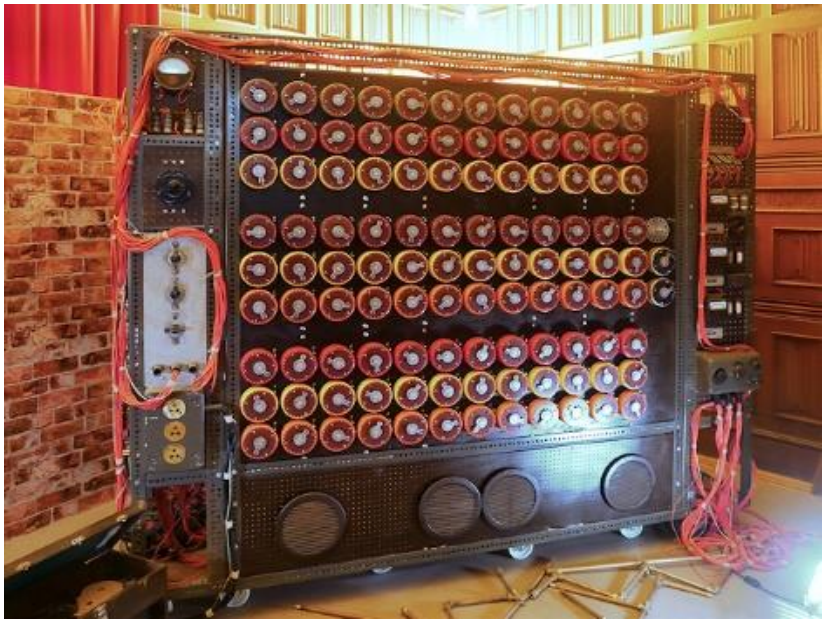
Общие сведения о проектировании цифровых СБИС

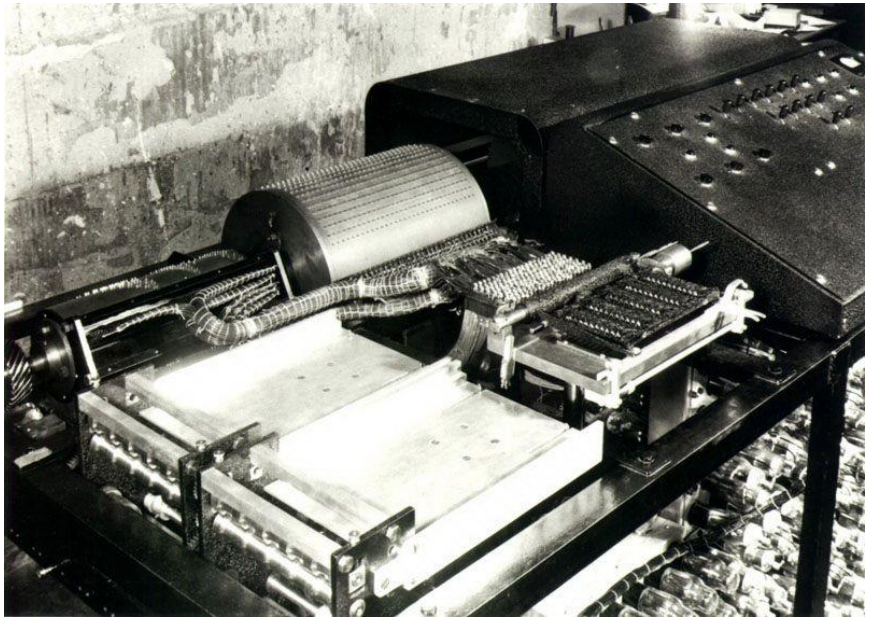
Лекция 1

Вычислительные устройства

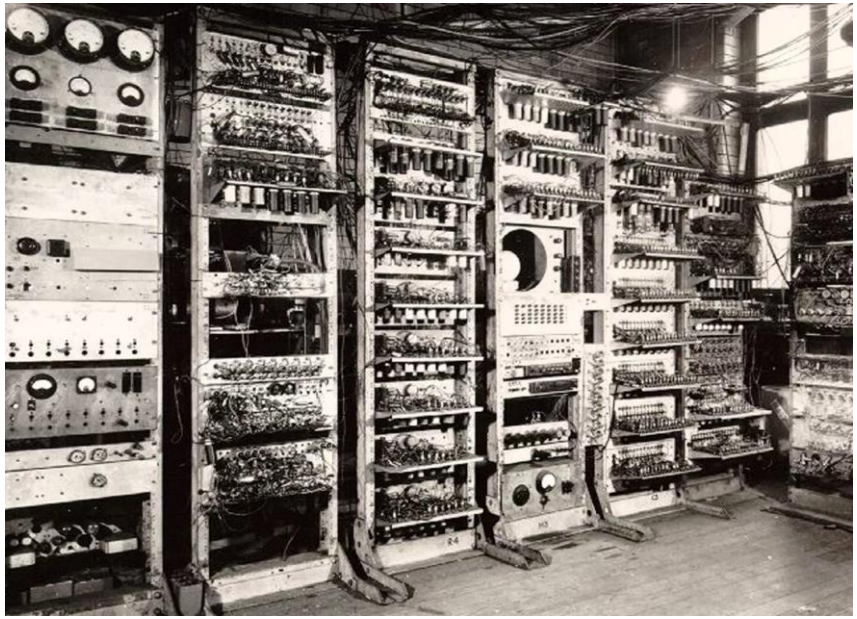
Вычислительные устройства - прошлое







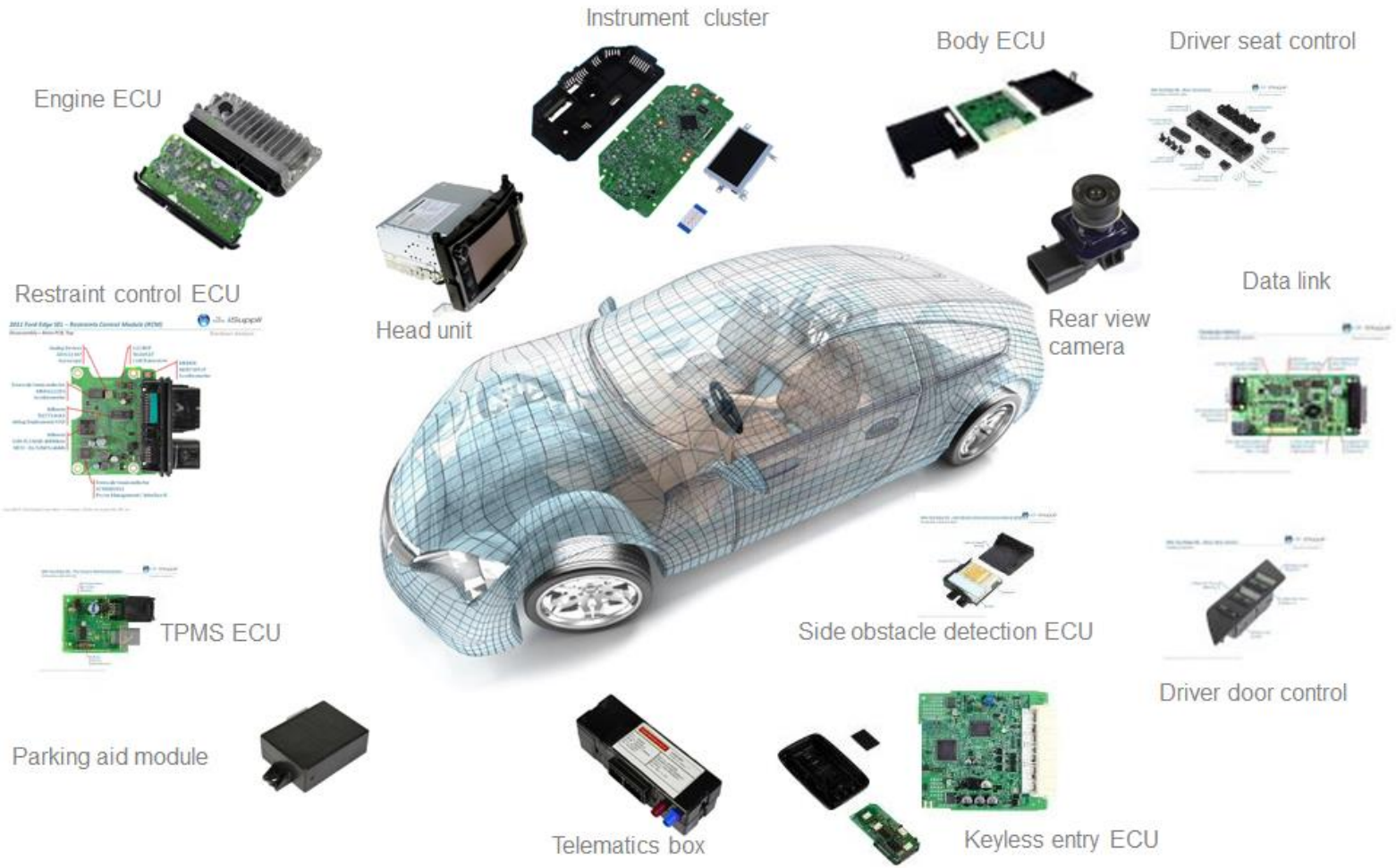
Вычислительные устройства - прошлое



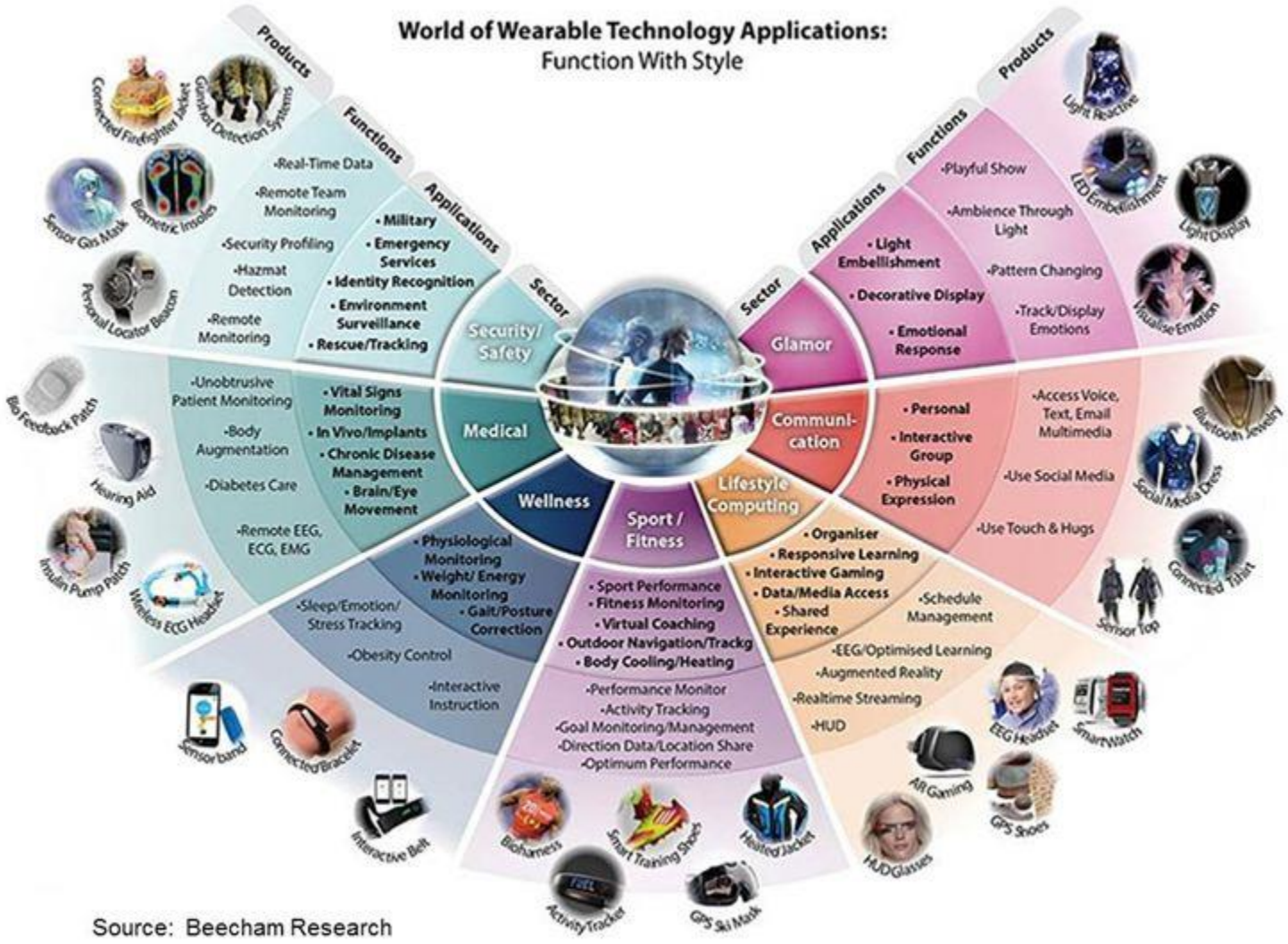
Вычислительные устройства - настоящее

Суперкомпьютеры

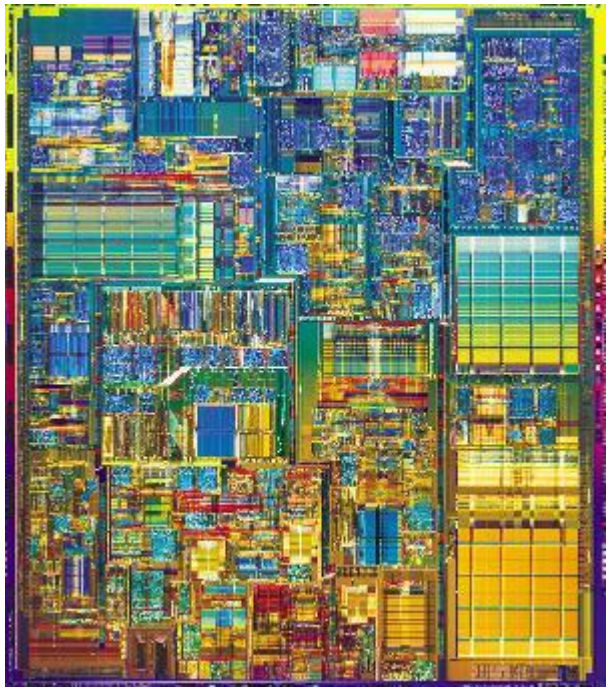
Встраиваемые устройства



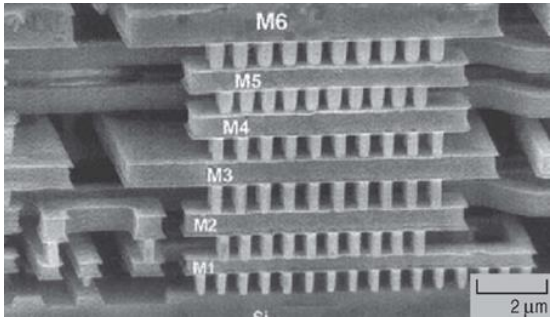
«Носимая» электроника

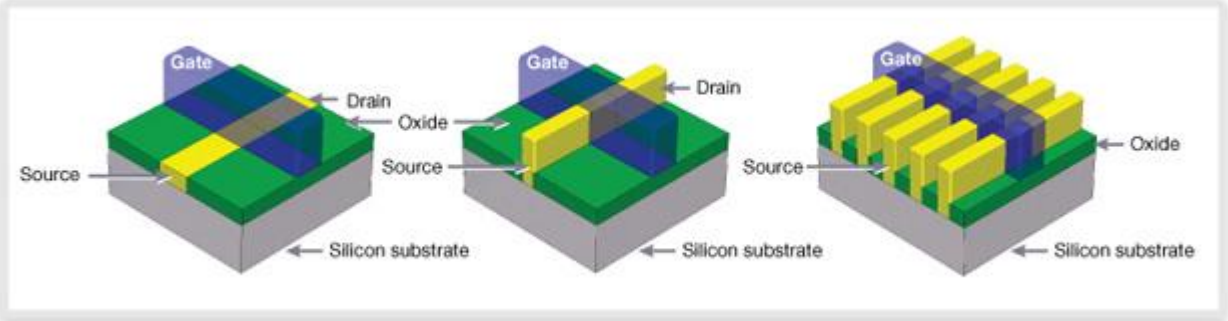


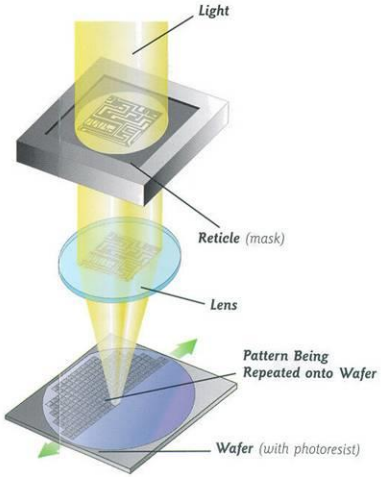
Сверхбольшая интегральная схема

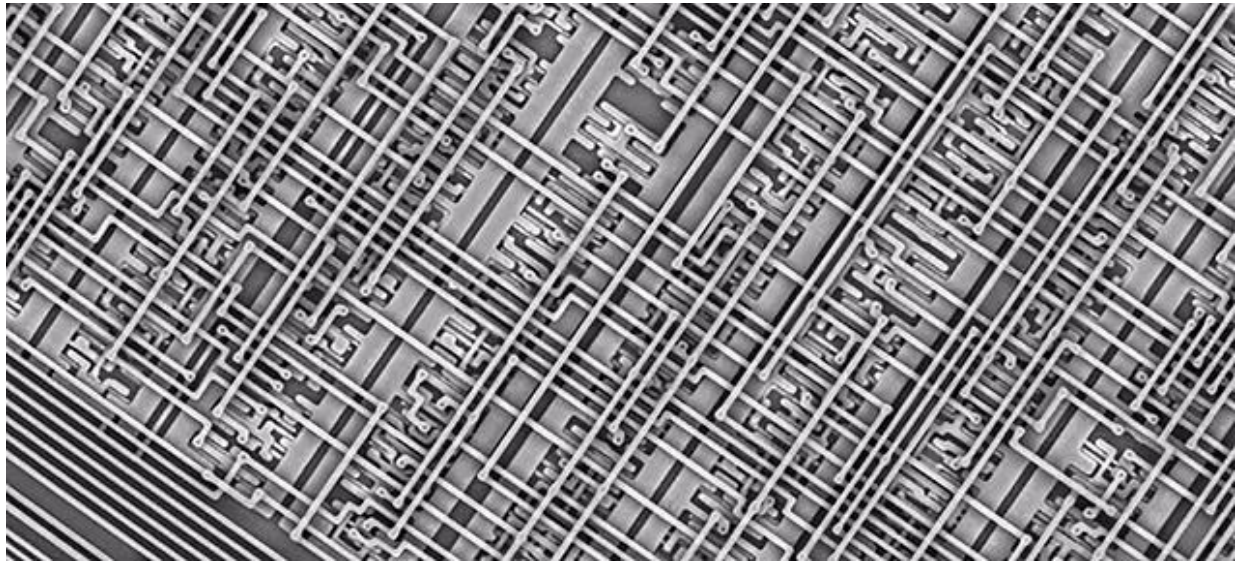


Элементная база цифровых интегральных схем (ИС)







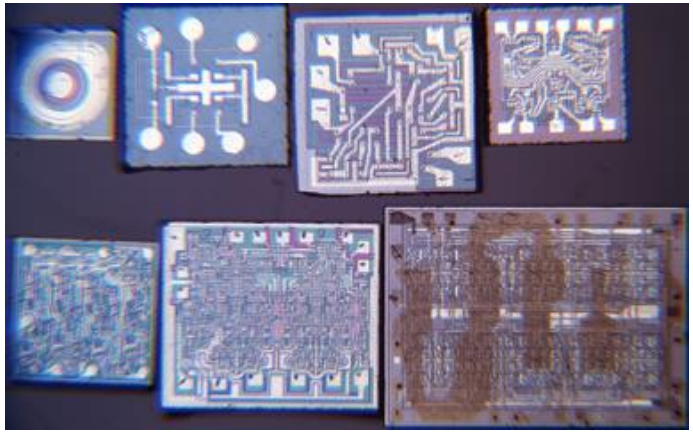


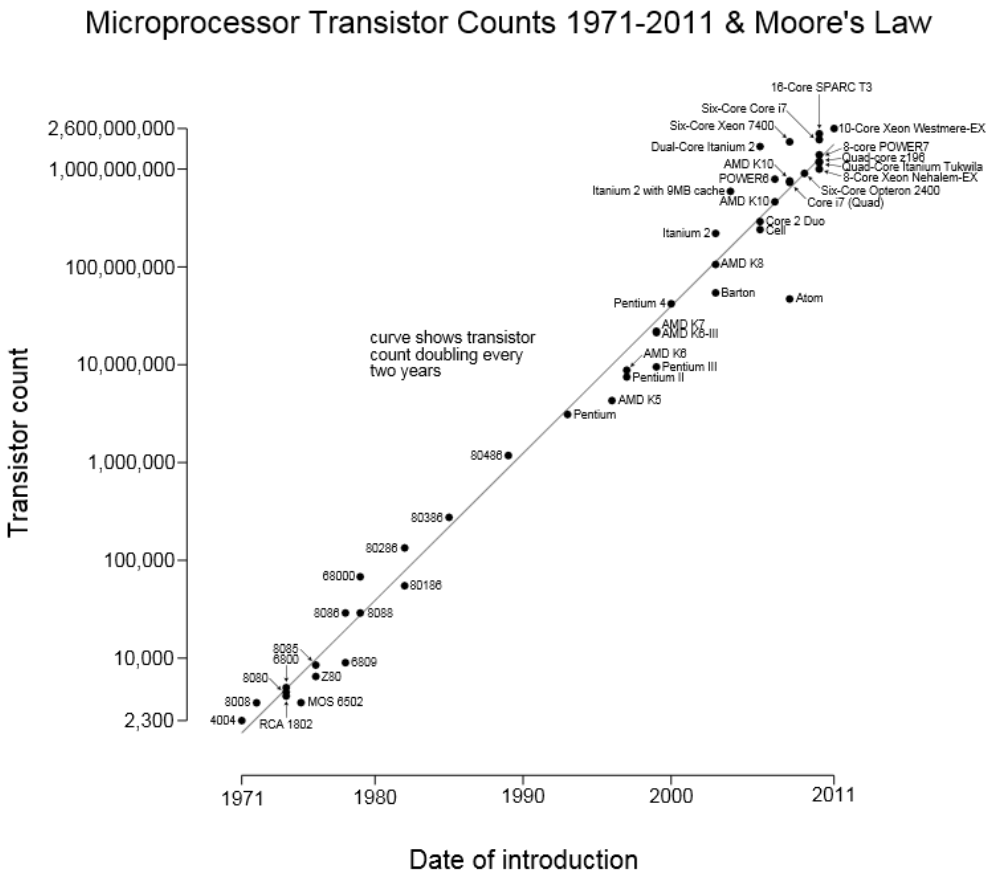
Производство интегральных схем

Правило Мура

Правило Мура (Moore’s Law)

В 1965 году, Гордон Мур (один из будущих основателей компании Intel) заметил что количество транзисторов на интегральных схемах удваивалось каждый год. Через 10 лет, он поправил это утверждение, отметив удвоение каждые 18 месяцев. Вскоре, эта закономерность называлось правилом (законом) Мура.





Фундаментальные ограничения

- Транзисторы и провода имеют конечные размеры
- Транзисторы можно расположить только в 2-х и 3-х мерном пространстве
- Скорость света ограничена

Средства автоматизации проектирования цифровых СБИС

- Современные СБИС невозможно спроектировать вручную
- Нужны специальные программы для автоматизации различных этапов проектирования СБИС
- При этом требуется как понимание возникающих при этом математических задач, так и особенностей технологий производства СБИС

Системы автоматизированного проектирования (САПР)

Примерное время	Прогресс в системах проектирования
1950 -1965	Проектирование «руками»
1965 -1975	Редакторы раскладки, средства размещения и трассировки, разработаны сначала для печатных плат.
1975 -1985	Полее продвинутые средства для кристаллов и плат, с использованием более сложных алгоритмов.
1985 -1990	Методы оптимизации производительности, параллельные алгоритмы для раскладки; понимание теоретигеских вопросов (теория графов, сложность алгоритмов, и т.д.)
1990 -2000	Трассировка над ячейками, первые меторды 3D трассировки. Логический синтез и проектирование с упором на трассировку находят широкое употребление. Появление физического синтеза.
2000 - now	Проектирование для производства (DFM), корректировка для оптической близости (OPC), и прочие методы на пересечении проектирования и производства. Повторние использование блоков, блоки интеллектуальной собственности (IP).

Основные стратегии проектирования цифровых СБИС

Лекция 1

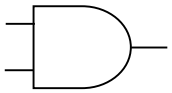
Основные стратегии проектирования цифровых СБИС

- Заказное проектирование
  - Все основные элементы ИС проектируются индивидуально и вручную
  - Высокая стоимость
- Полу-заказное проектирование
  - Использование заранее спроектированных элементов (IP-блоки, библиотечные элементы)
  - Использование средств автоматизации
  - Дополнительные ограничения на различных этапах проектирования
- Программируемые ИС
  - Все основные элементы ИС заранее спроектированы
  - Возможность настраивать устройство во время работы и/или на этапе проектирования

Стили проектирования СБИС

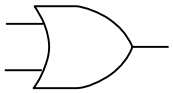
Примеры цифровых вентилей

AND



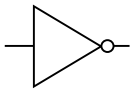
IN1	IN2	OUT
0	0	0
1	0	0
0	1	0
1	1	1

OR



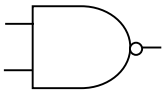
IN1	IN2	OUT
0	0	0
1	0	1
0	1	1
1	1	1

INV



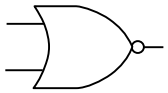
IN	OUT
0	1
1	0

NAND



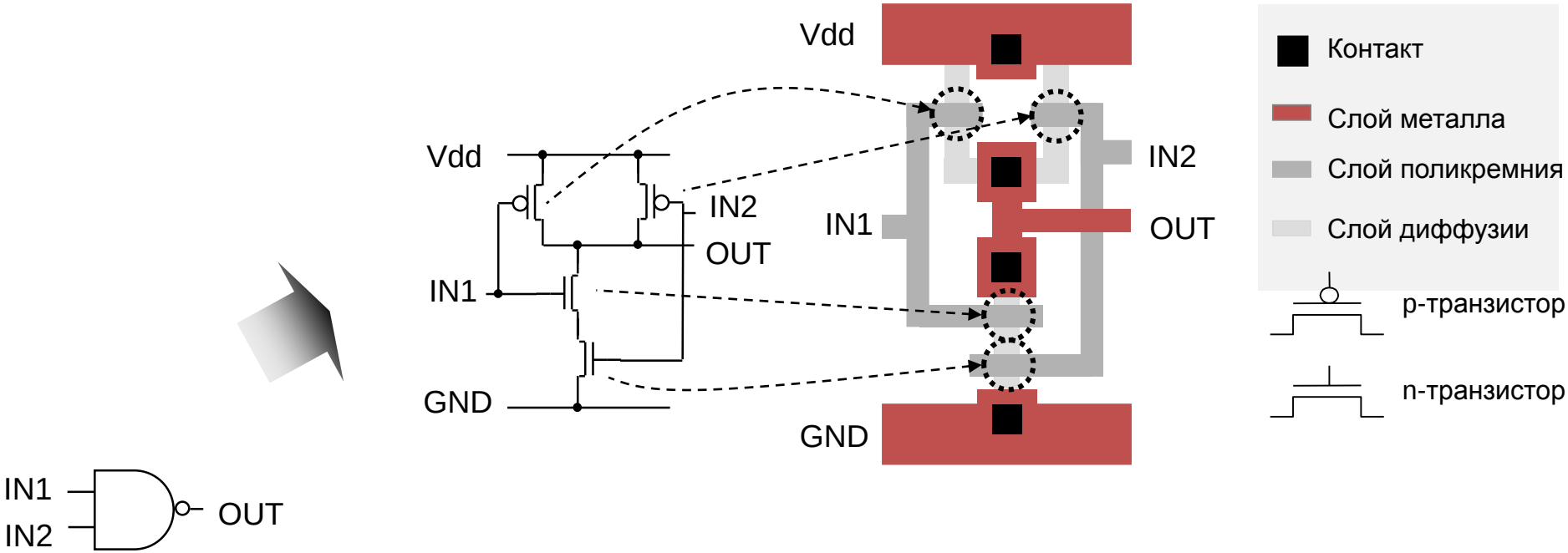
IN1	IN2	OUT
0	0	1
1	0	1
0	1	1
1	1	0

NOR

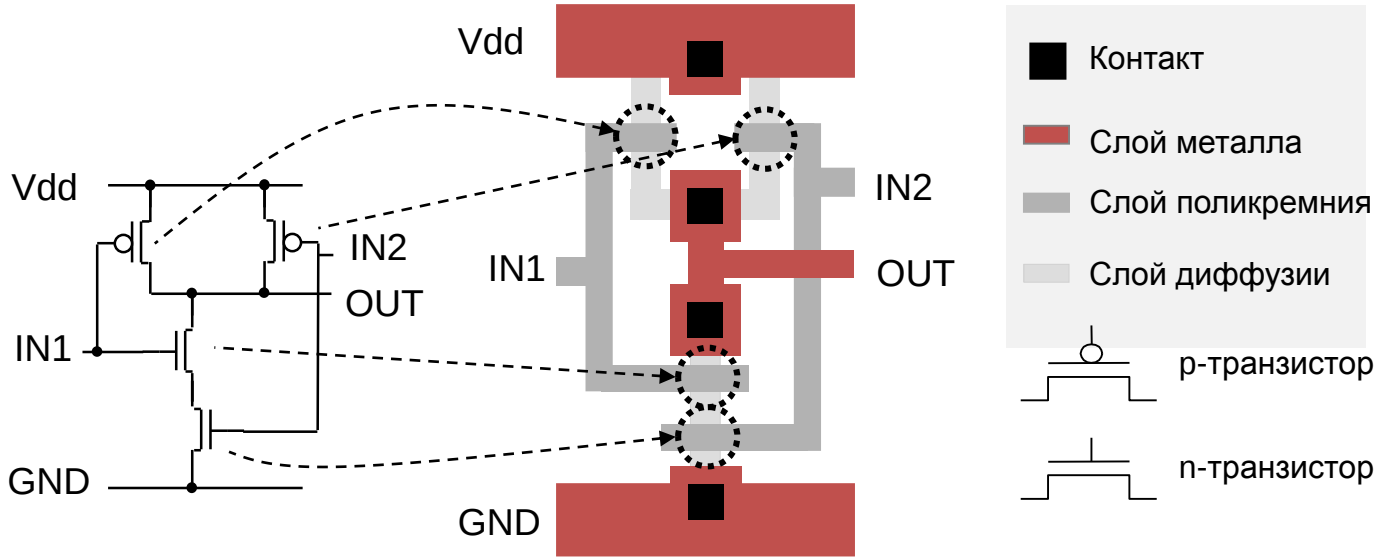


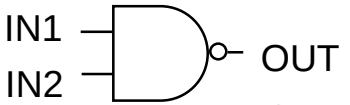
IN1	IN2	OUT
0	0	1
1	0	0
0	1	0
1	1	0

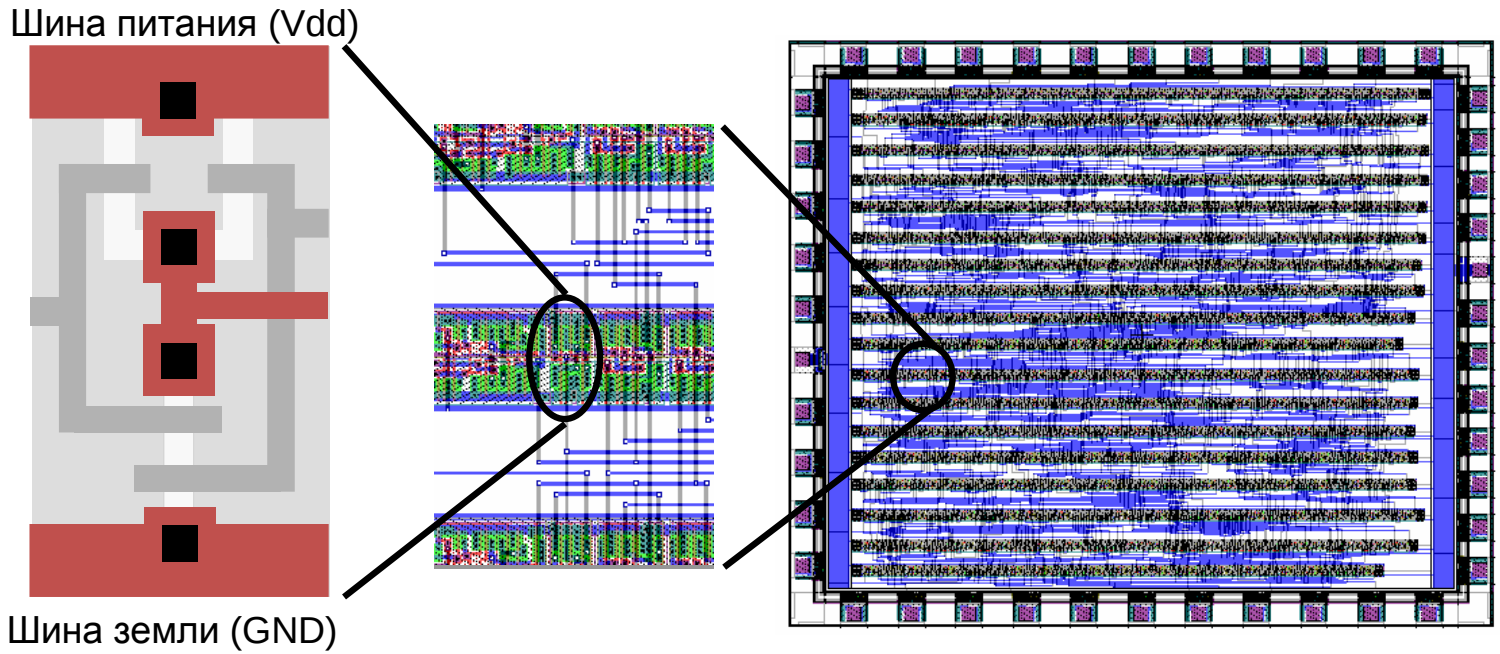
Стандартные ячейки



Стандартные ячейки

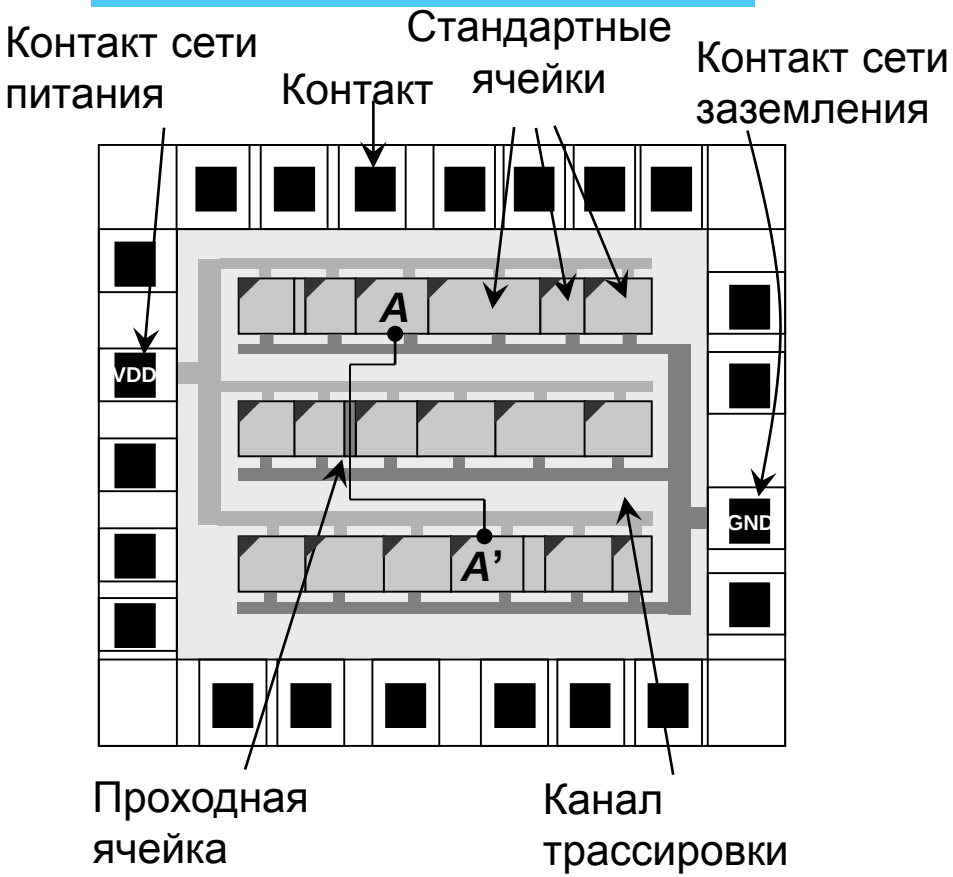




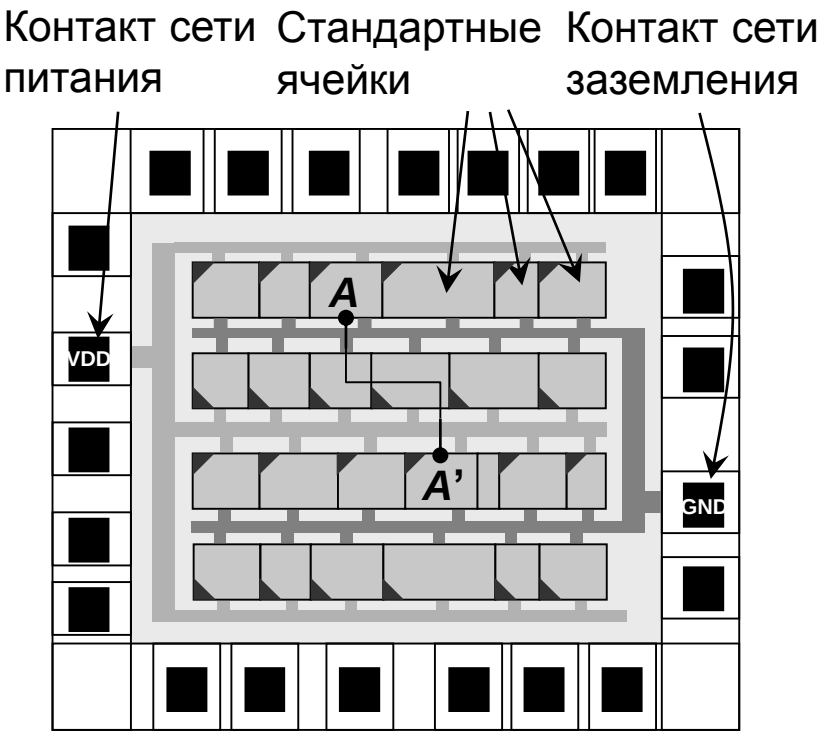


Стандартные ячейки

Раскладка стандартных ячеек с проходными ячейками

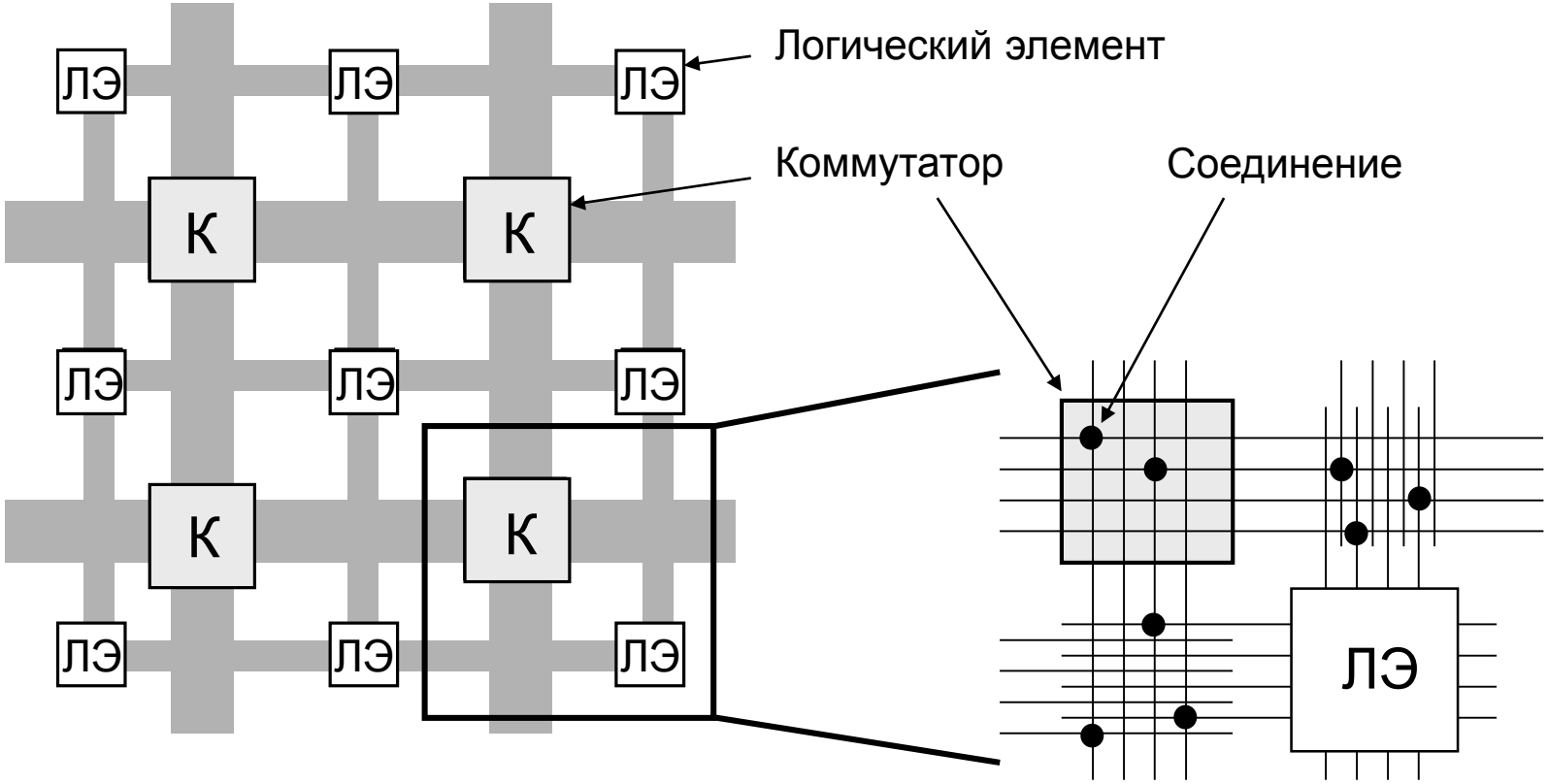


Раскладка стандартных ячеек с трассировкой над ячейками

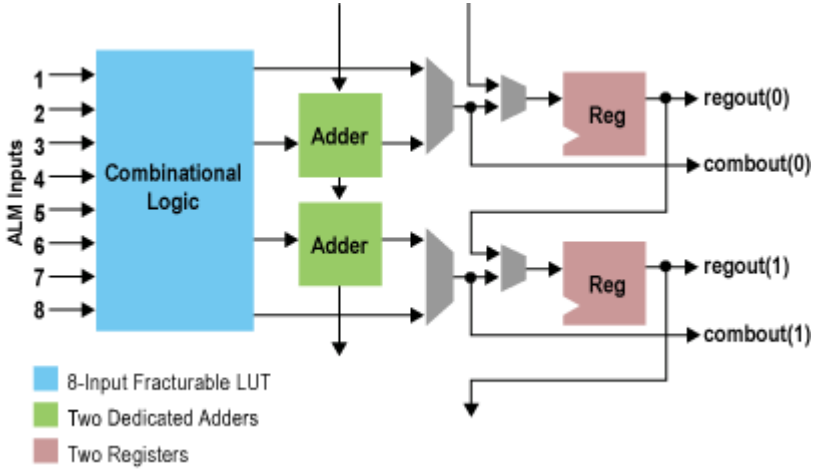


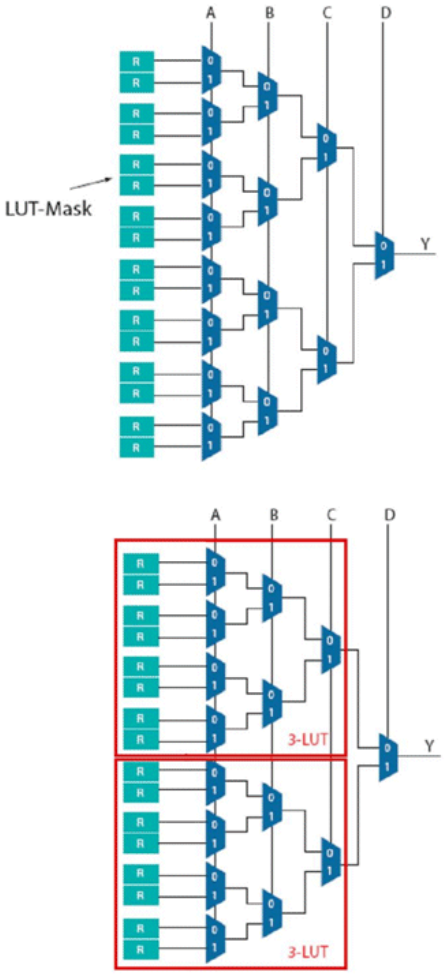
Программируемые матрицы логических элементов (ПЛИС)

Программируемая логическая интегральная схема (ПЛИС)



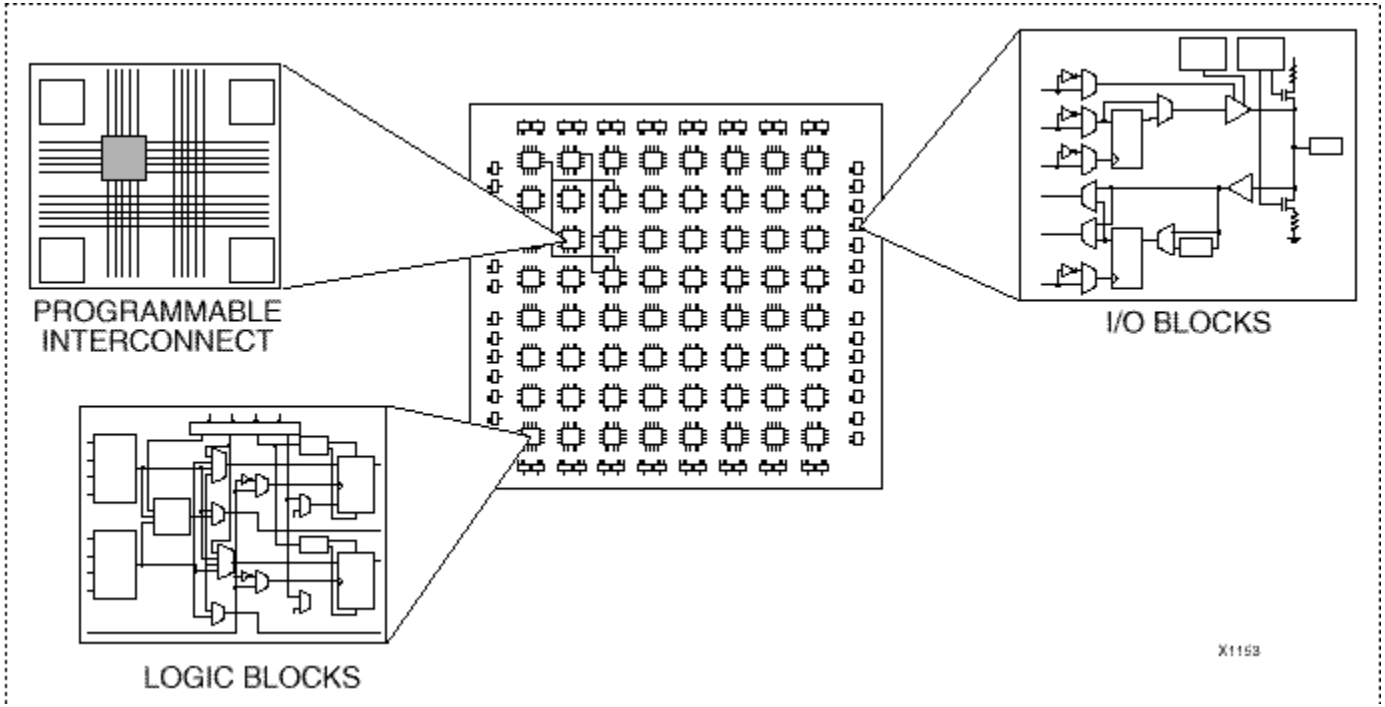
Программируемые матрицы логических элементов (ПЛИС)





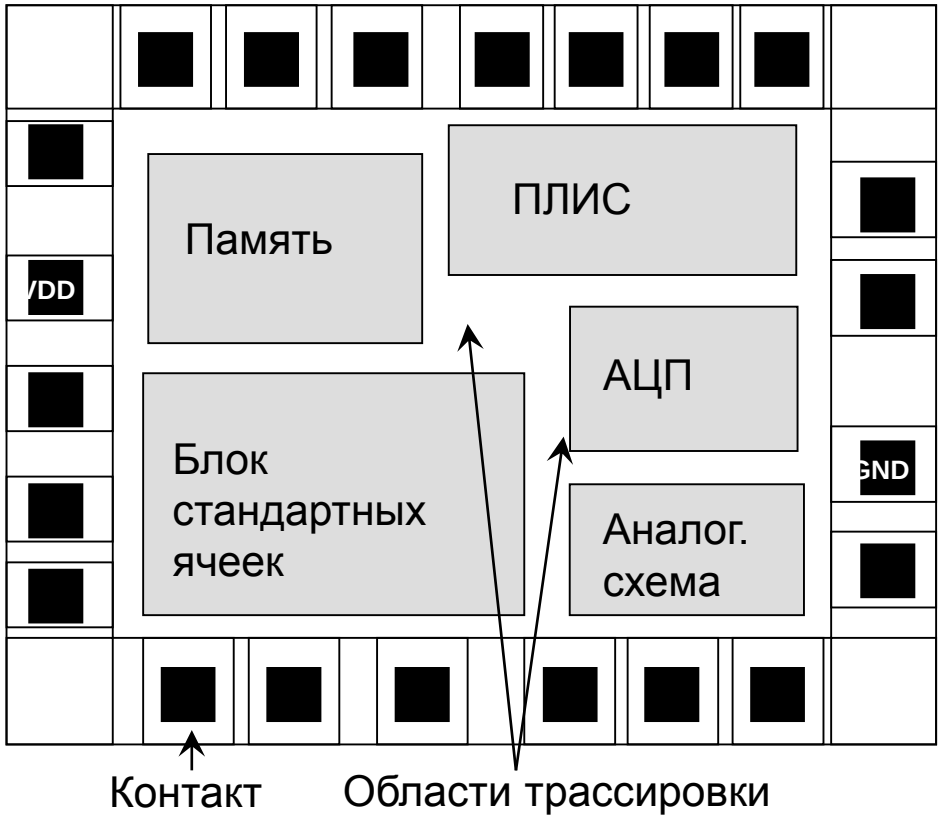
a'b'c'd' + abcd + abc'd' = 1000 0000 0000 1001 = 0x8009

Программируемые матрицы логических элементов (ПЛИС)



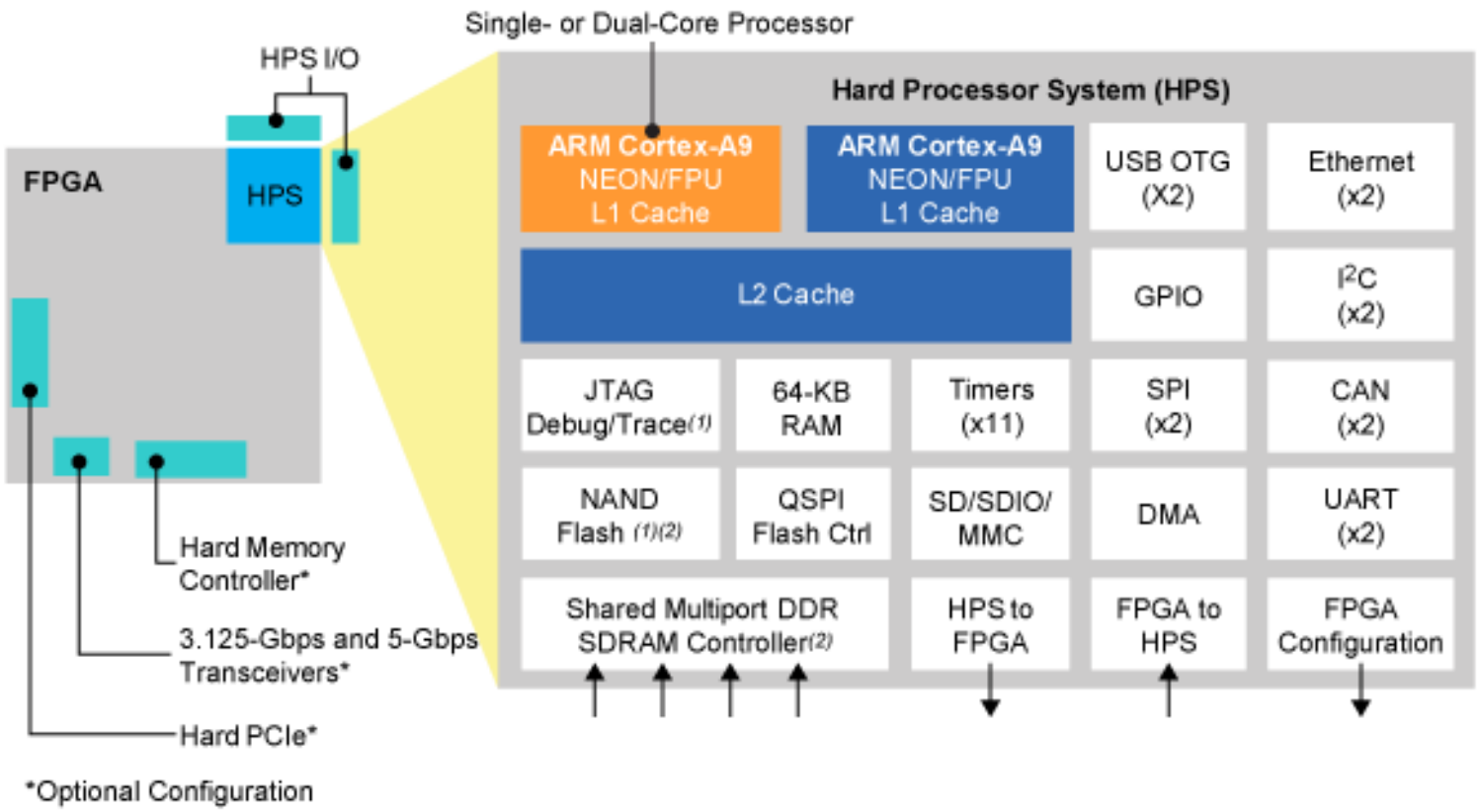
Системы на кристалле

Топология с макро-блоками



© 2011 Springer Verlag

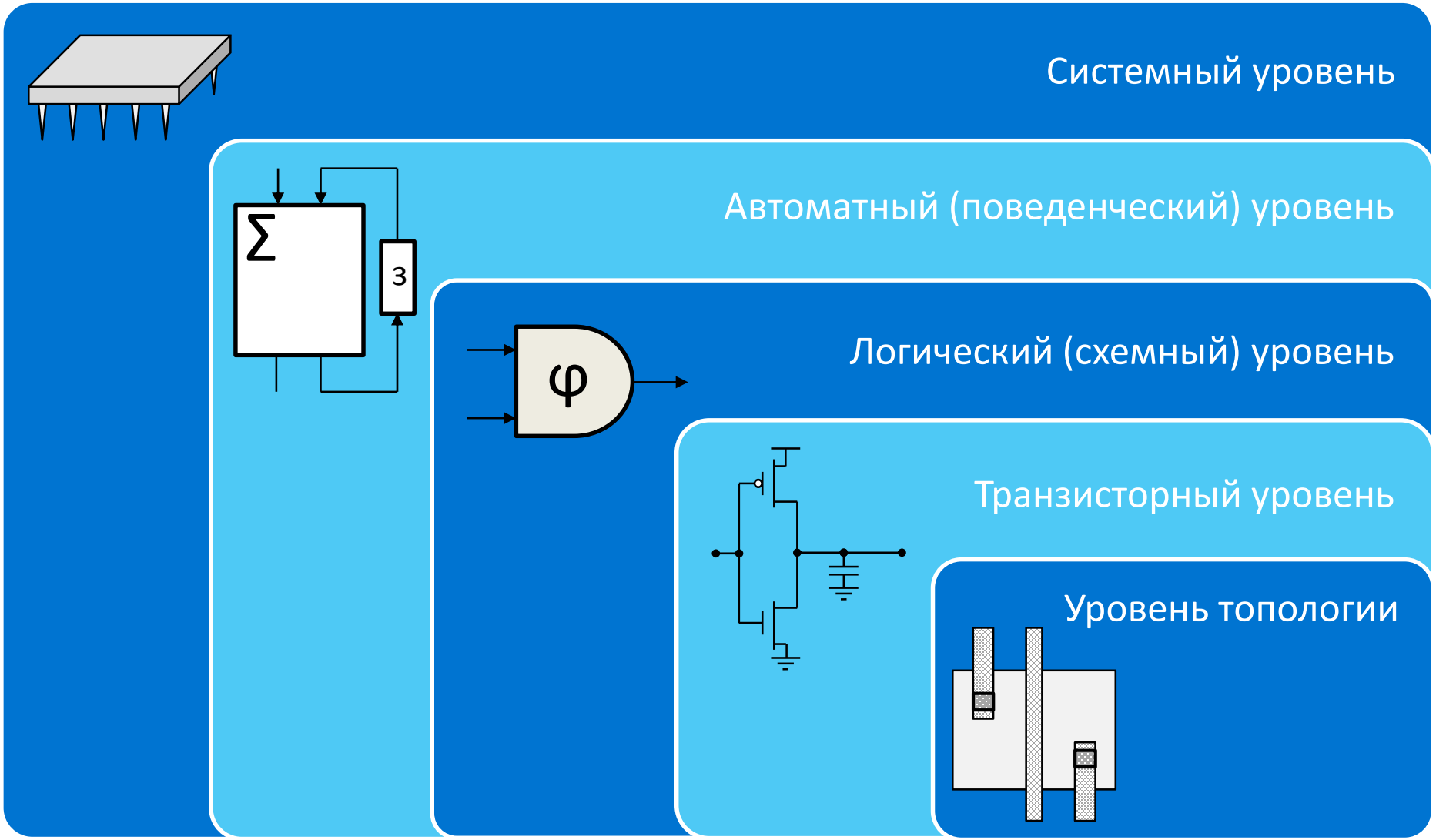
Системы на кристалле



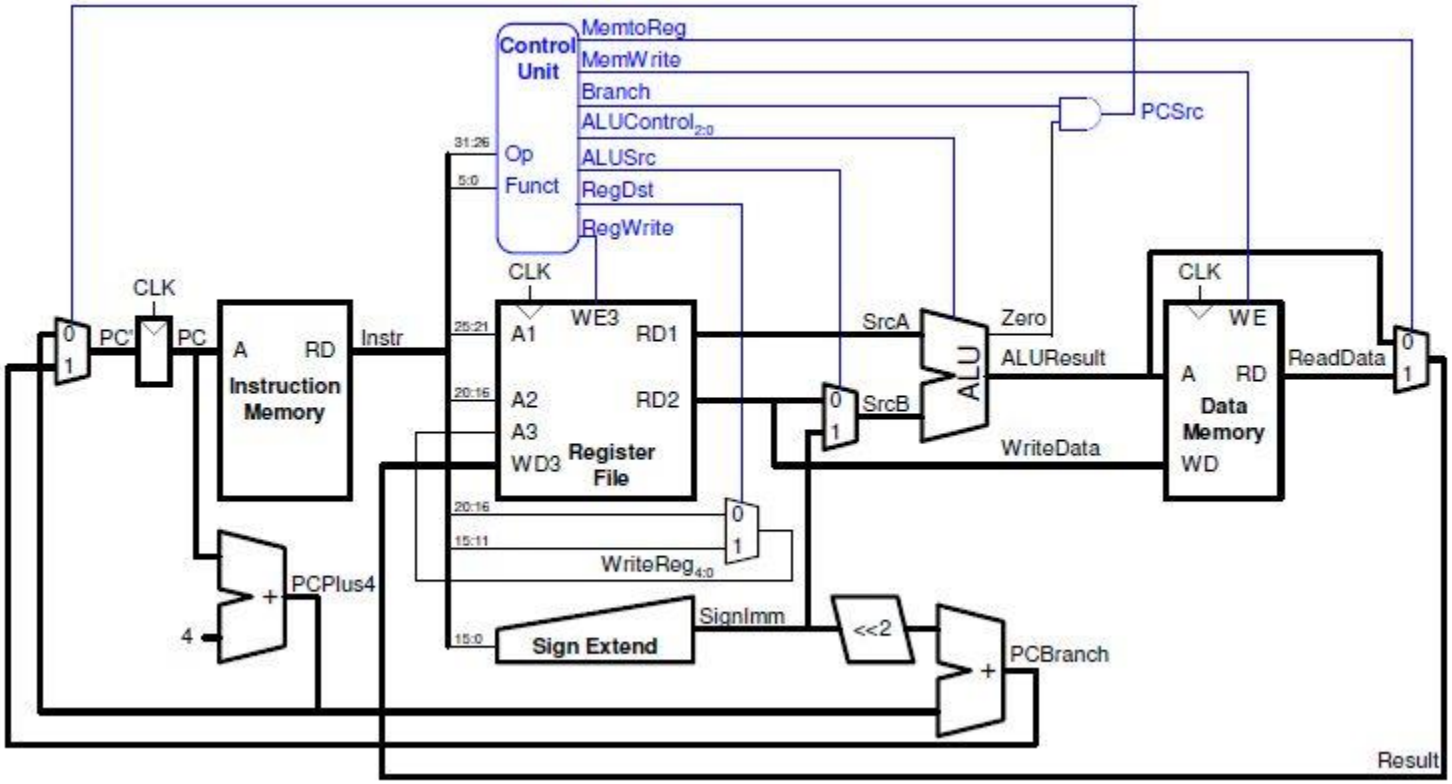
Уровни абстракции при проектировании цифровых СБИС

Лекция 1

Уровни абстракции при проектировании цифровых СБИС



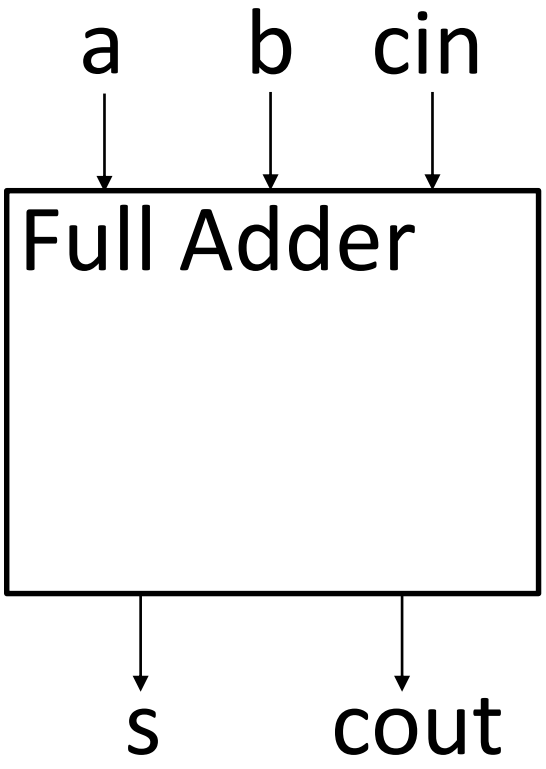
Системный уровень



Системный уровень

- Моделирование системы взаимодействующих процессов/сигналов
- Подходы к моделированию:
  - взаимодействие систем/компонент системы
  - система команд(instruction set simulation)
  - микроархитектура
  - использование языков описания аппаратуры (Verilog, SystemVerilog, SystemC)

Поведенческий уровень

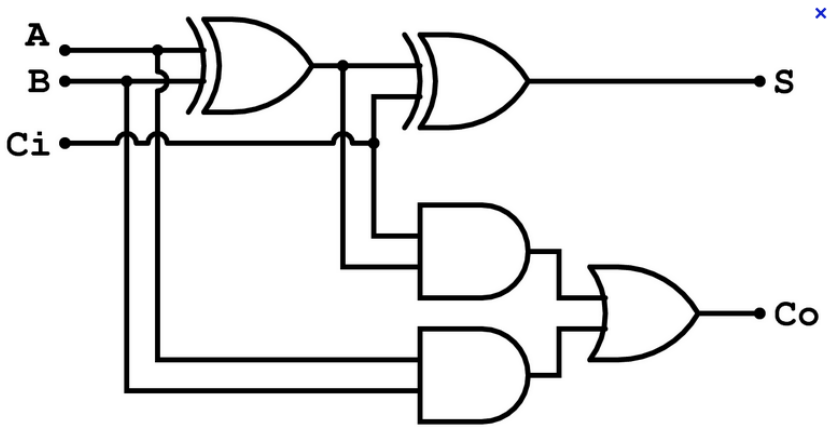



```
`timescale 1ns / 1ps
module FullAdder (
        input a,
        input b,
        input cin,
        output s,
        output cout );

       assign {cout,s} = a + b + cin;

endmodule
```

Поведенческий уровень

- Моделирование поведения/функционирования процесса/сигнала
- Подходы к моделированию:
  - использование языков описания аппаратуры (Verilog, VHDL)
  - register-transfer level (RTL)
  - использование автоматов и других математических моделей

Логический (схемный) уровень

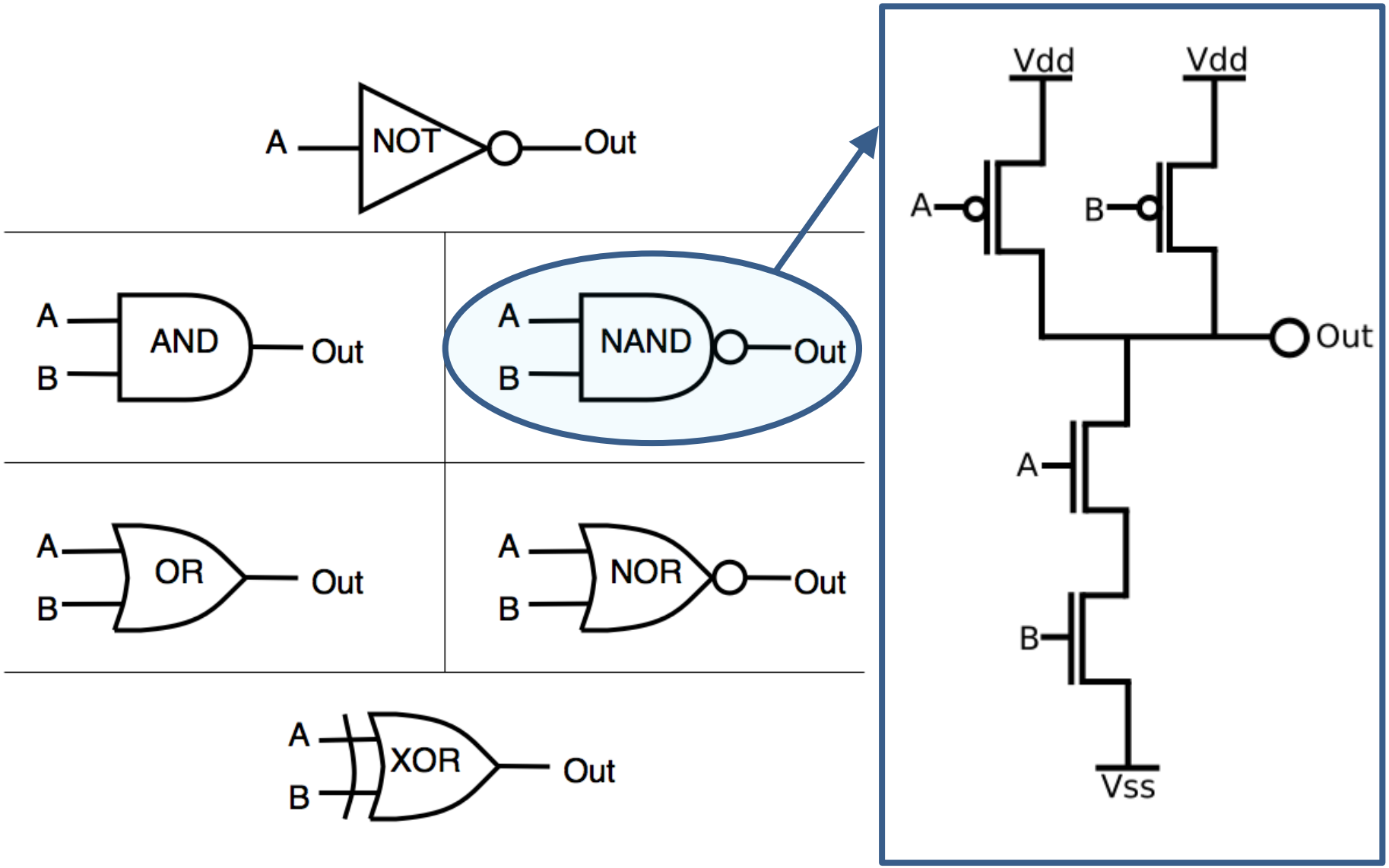



```
`timescale 1ns / 1ps
module FullAdder (
        input a,
        input b,
        input cin,
        output s,
        output cout );

        // wires (from ands to or)
        wire w1, w2, w3;

        // carry-out circuitry
        and( w1, a, b );
        and( w2, a, cin );
        and( w3, b, cin );
        or( cout, w1, w2, w3 );

        // sum
        xor( s, a, b, cin );

endmodule
```

Логический (схемный) уровень

- Моделирование структуры и основных элементов блока, реализующего заданный процесс/сигнал
- Подходы к моделированию:
  - использование языков описания аппаратуры (Verilog, VHDL)
  - netlist, gate-level design
  - математические модели схем
    - схемы из функциональных элементов (СФЭ) и их обобщения
    - And-Inverter Graphs (AIG)
    - Binary Decision Diagrams (BDD)
    - и др.

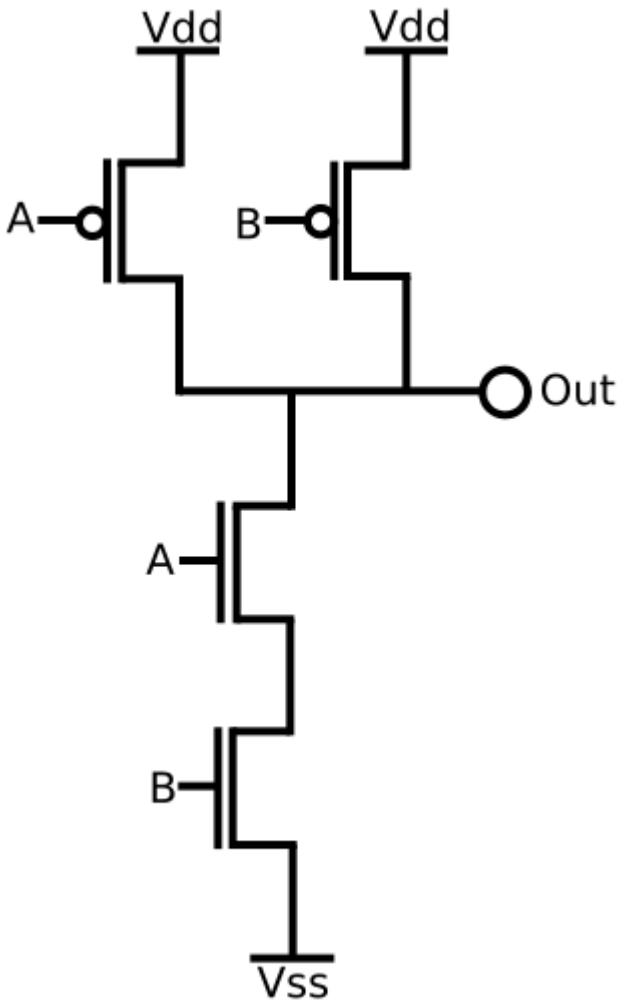
Транзисторный уровень

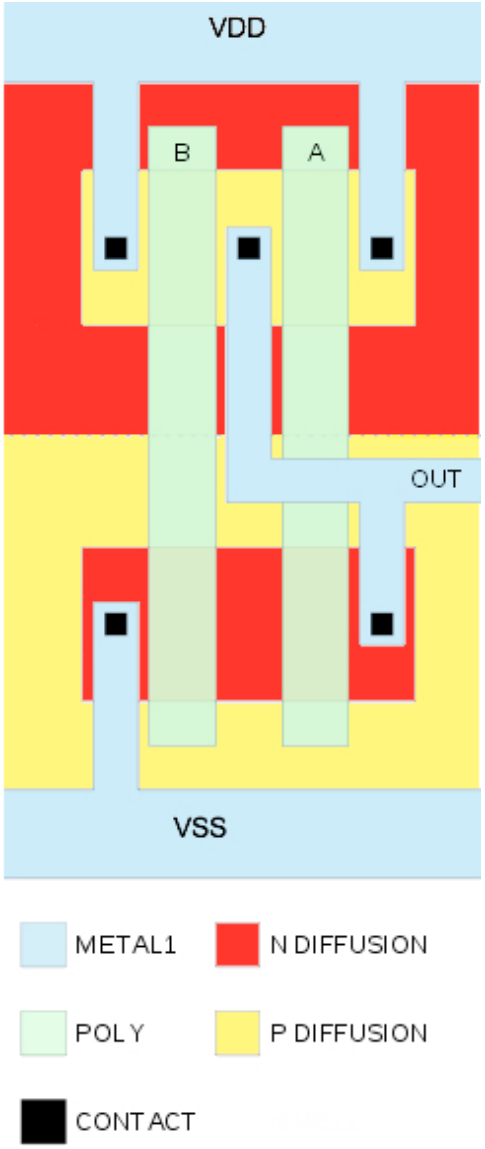


Транзисторный уровень

- Моделирование структуры основных логических элементов интегральной схемы
- Определение/оценка основных физических характеристик логических элементов (размер, задержка, энергопотребление и др.)
- Подходы к моделированию:
  - использование различных транзисторных моделей схем
  - имитационной моделирование
  - SPICE моделирование

Уровень топологии

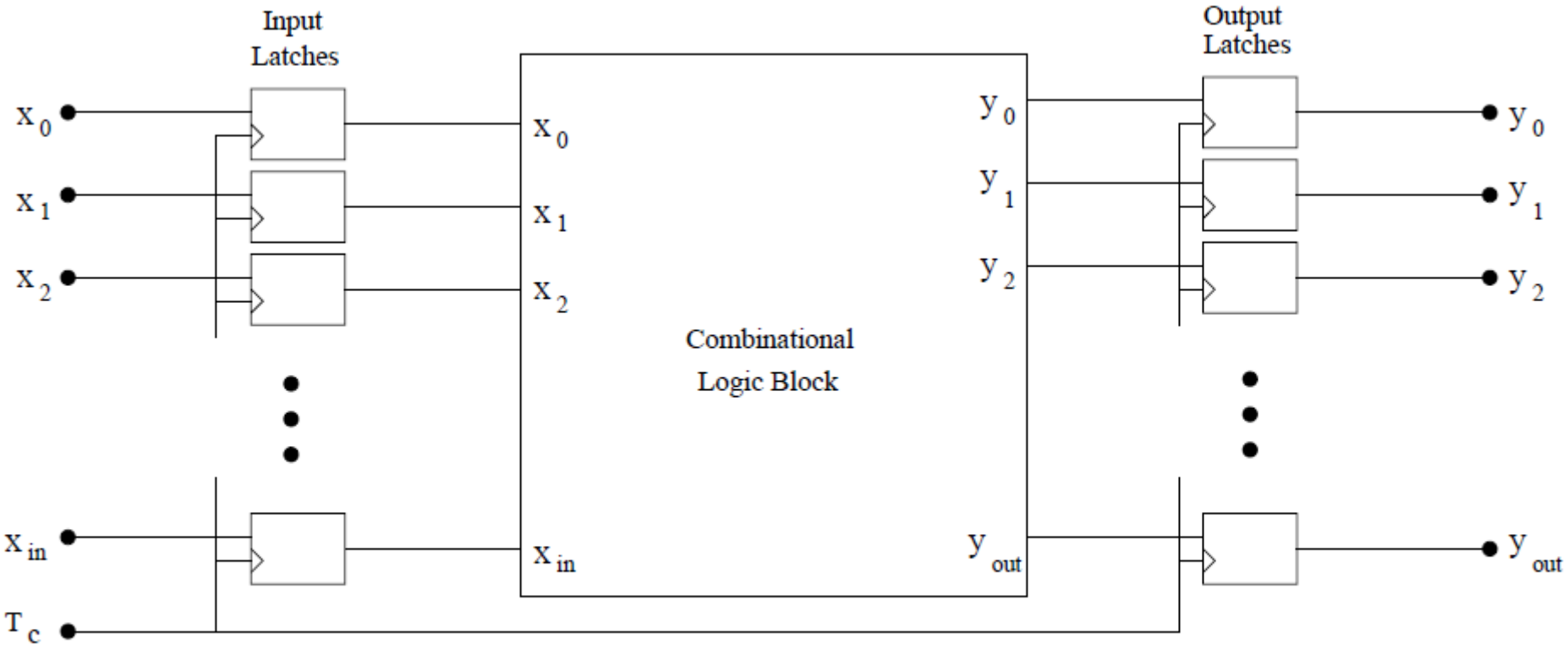




Уровень топологии

- Моделирование топологии (структуры и геометрии всех слоев) проектируемого устройства
- Основные задачи:
  - Design Rule Check (DRC)
  - Layout vs Schematics (LVS)
  - Оптимизация топологии и повышение выхода годных
    - Optical Proximity Correction(OPC)
    - Double/Triple patterning

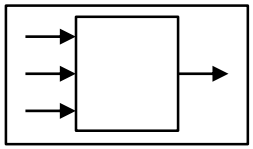
Комбинационная и последовательная логика



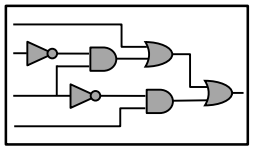
Упрощенный маршрут проектирования цифровых СБИС

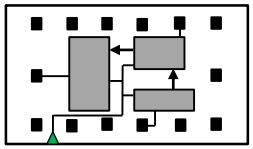
Лекция 1

Упрощенный маршрут проектирования

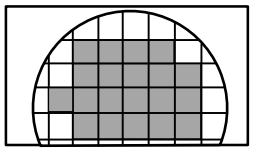


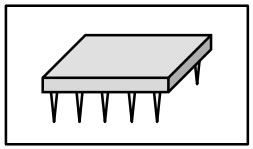
ENTITY test is
port a: in bit;
end ENTITY test;





DRC
LVS
ERC





Спецификация системы

↓

Проектирование архитектуры

↓

Функциональное проектирование

↓

Логическое проектирование

↓

Физическое проектирование

↓

Верификация топологии

↓

Изготовление

↓

Корпусирование и финальное тестирование

Меры качества разработки цифровой интегральной схемы

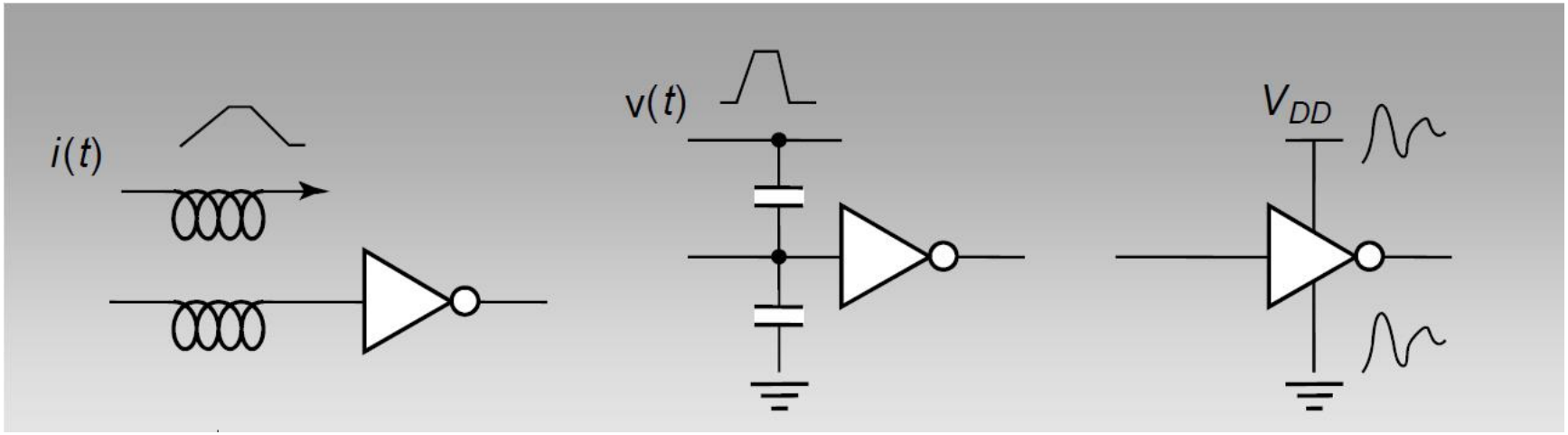
Лекция 1

Метрики проектирования

- Как оценить «качество» проектируемой интегральной схемы?
  - Цена
  - Надежность
  - Скорость/производительность(задержка, частота работы)
  - Энергопотребление

Надежность

- Шум(noise) – нежелательные изменения напряжений и токов в логических узлах.

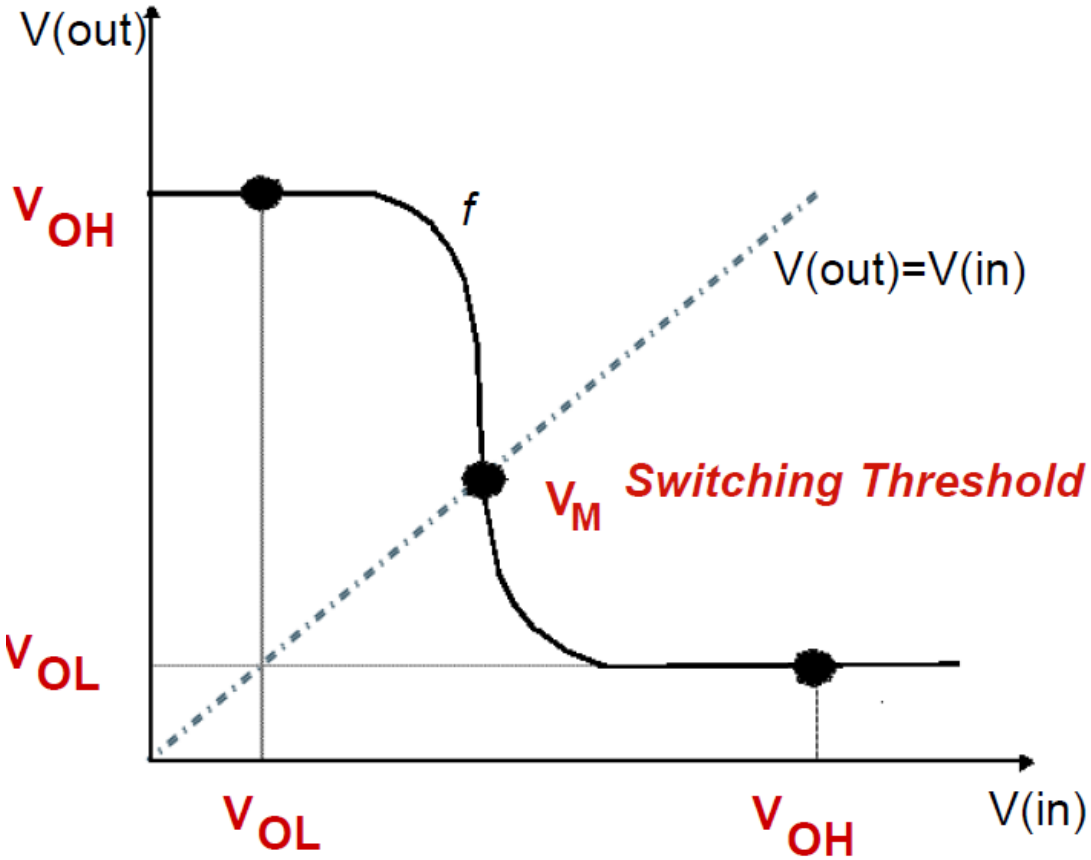


Индуктивная связь Емкостная связь Шум в цепях питания и земли

Надежность

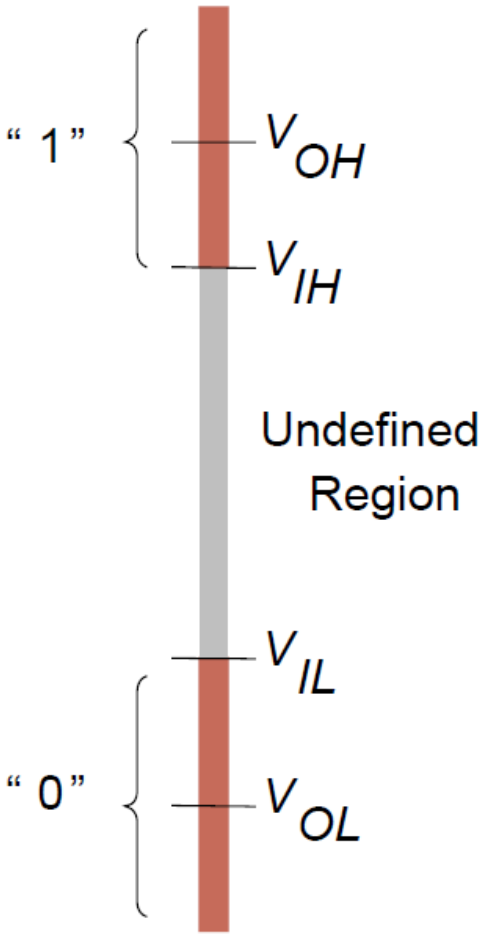
- Схема должна корректно работать при наличии «аналогового» шума
  - Вентиль может быть невосприимчив к «малым» шумам
  - Вентиль может подавлять шум
- В цифровой схеме дискретные значения 0 и 1 отображаются на некоторые диапазоны значений напряжения.

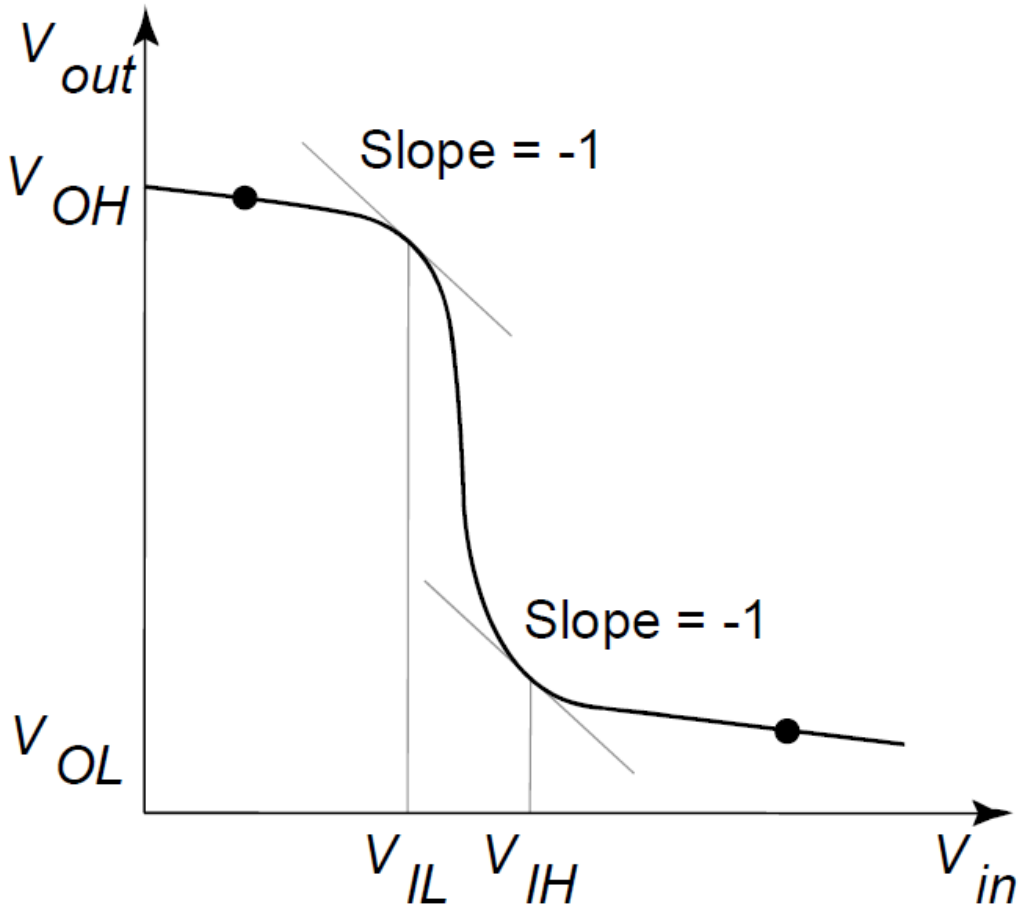
Передаточная характеристика инвертора по напряжению



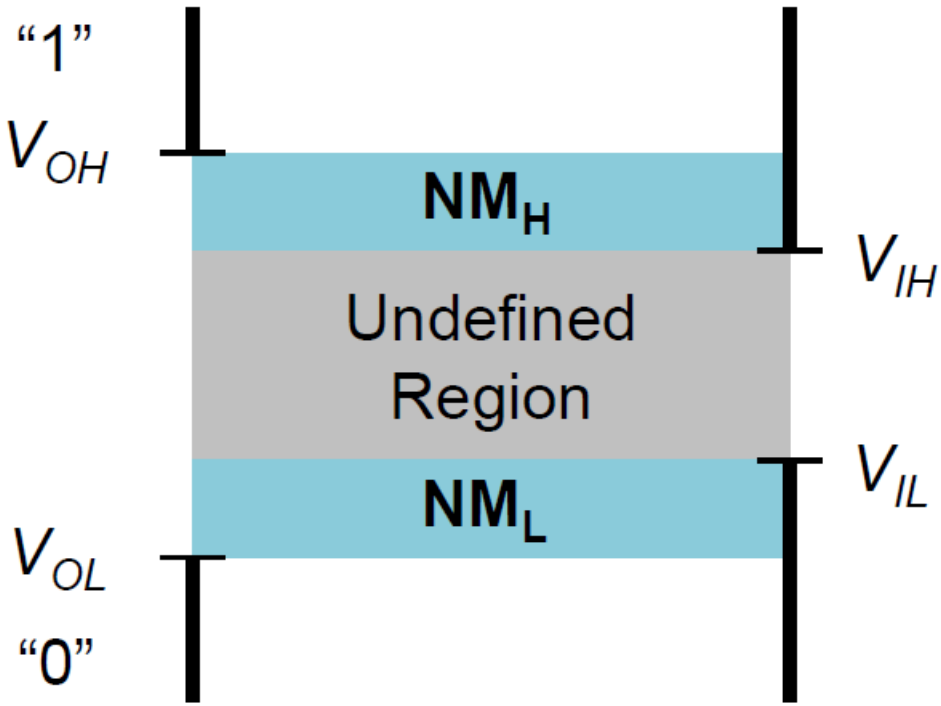
VOH = *f*(VOL)
VOL = *f*(VOH)
VM = *f*(VM)

Запас устойчивости по шуму





Запас устойчивости по шуму



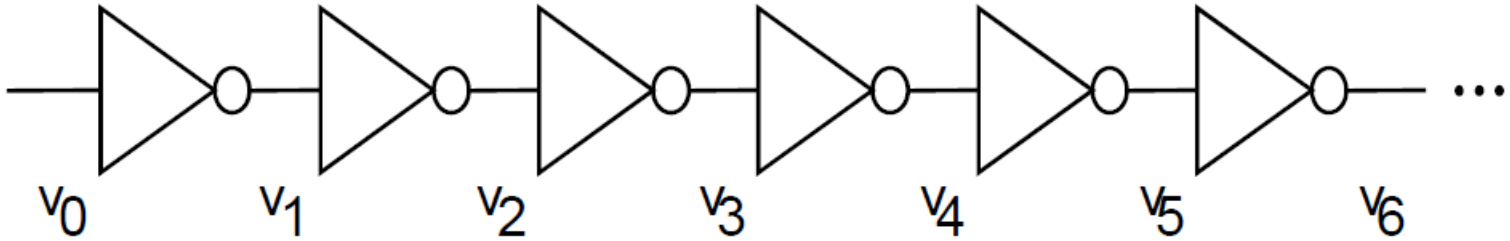
Выход вентиля
Каскад M

Вход вентиля
Каскад M+1

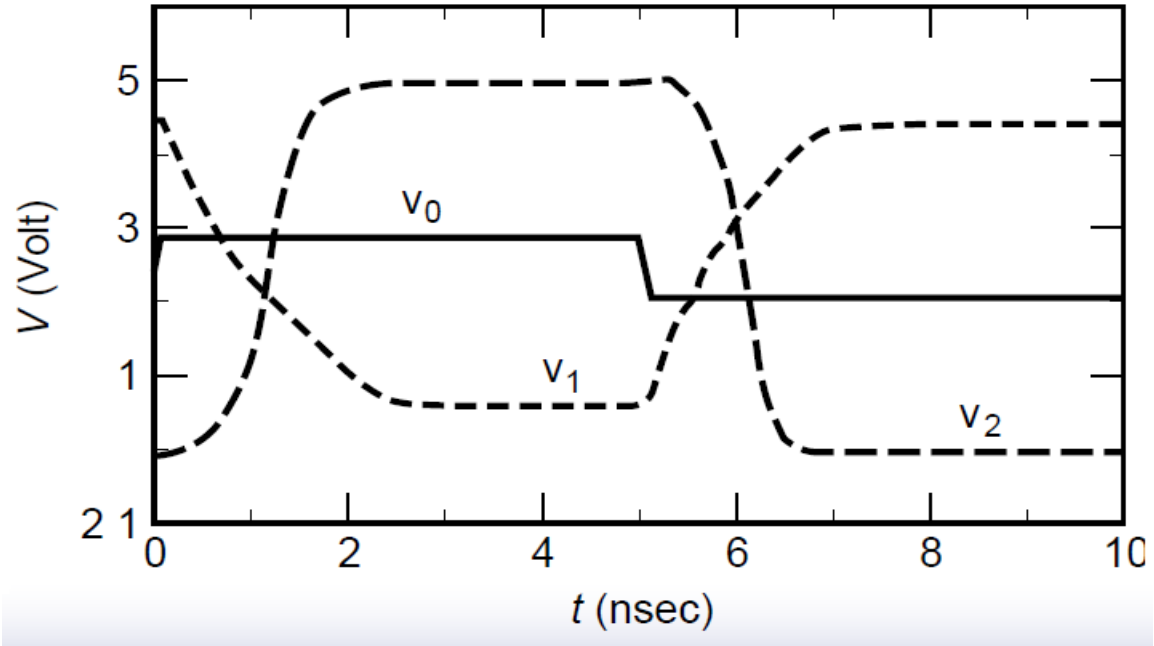
- NM_L – запас устойчивости по шуму низкого напряжения
- NM_H – запас устойчивости по шуму низкого напряжения

Свойство регенеративности

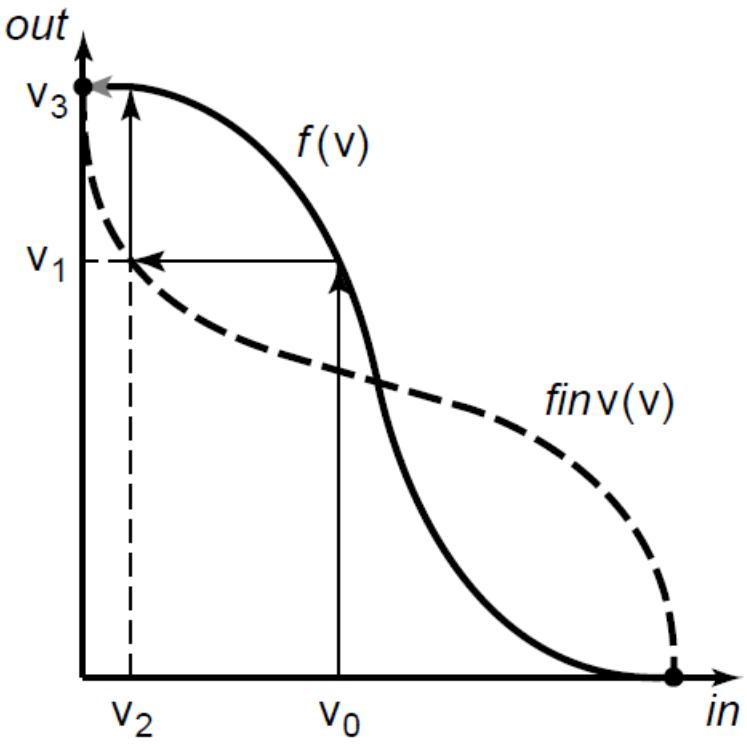
- Цепочка инверторов



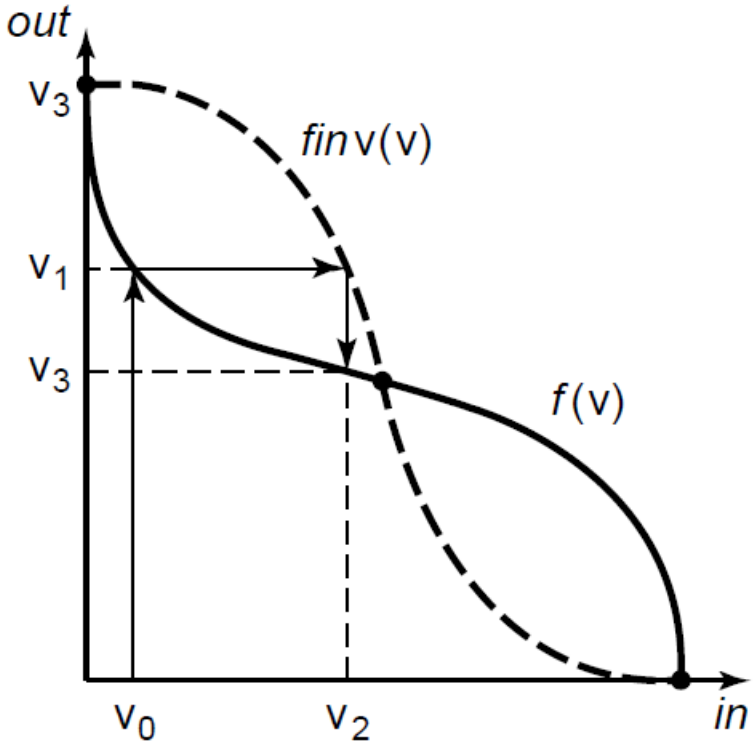
- Результат моделирования



Свойство регенеративности

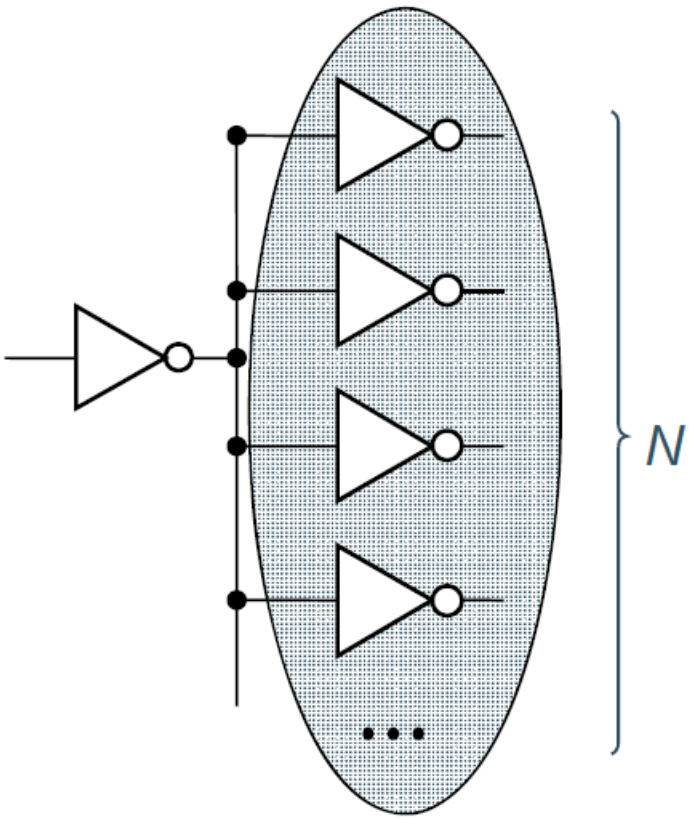


Регенаративный вентиль

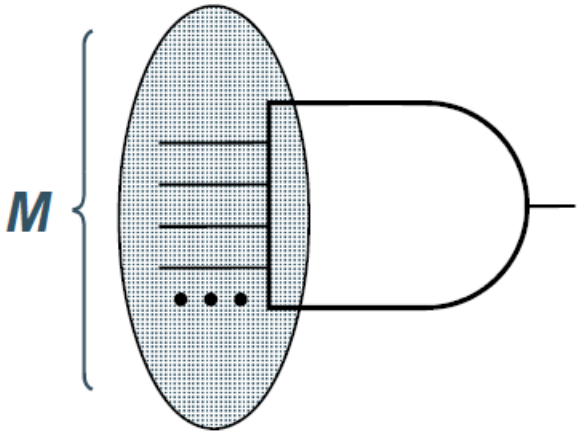


Нерегенеративный вентиль

Разветвление вентилей

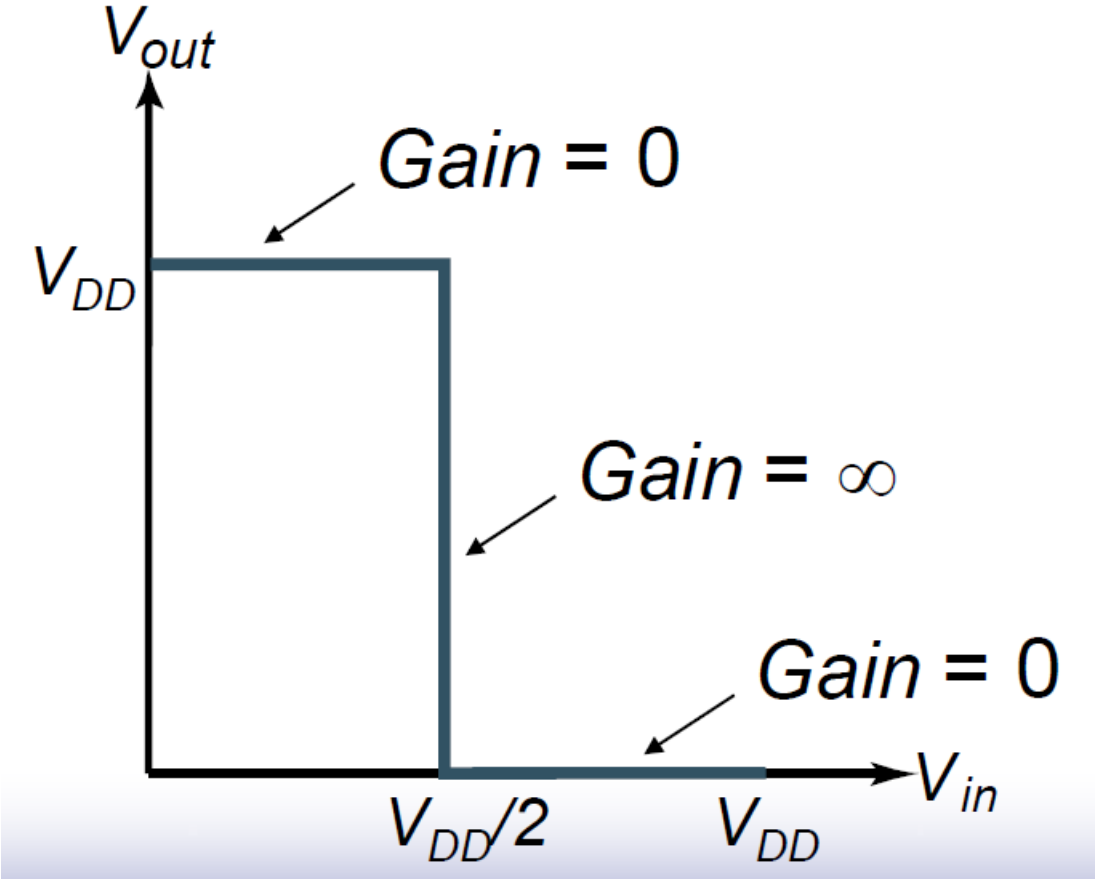


Fan-out *N*

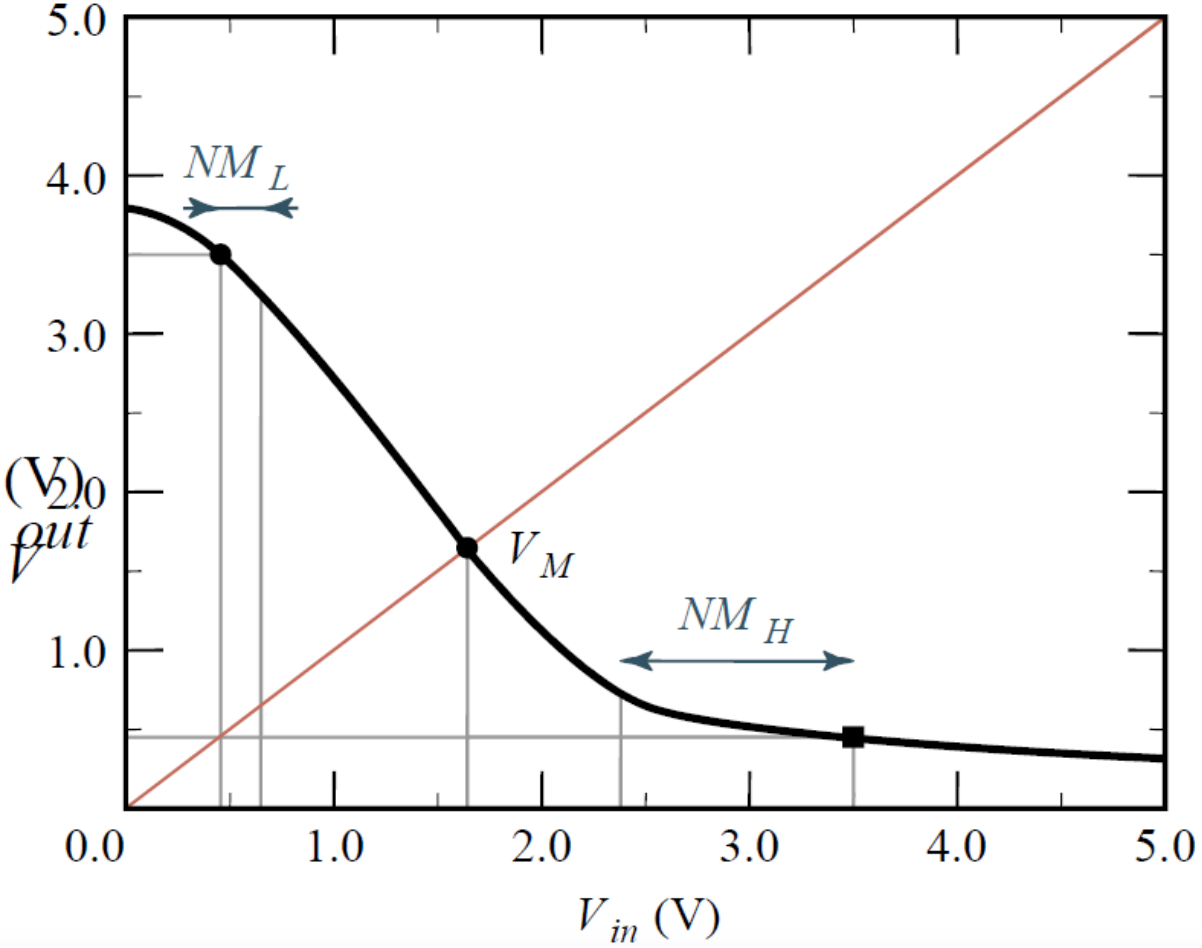


Fan-in *M*

Идеальный цифровой вентиль



Пример: n-МОП инвертор 1970-х годов



V_{OH} = 3,6 В

V_{OL} = 0,4 В

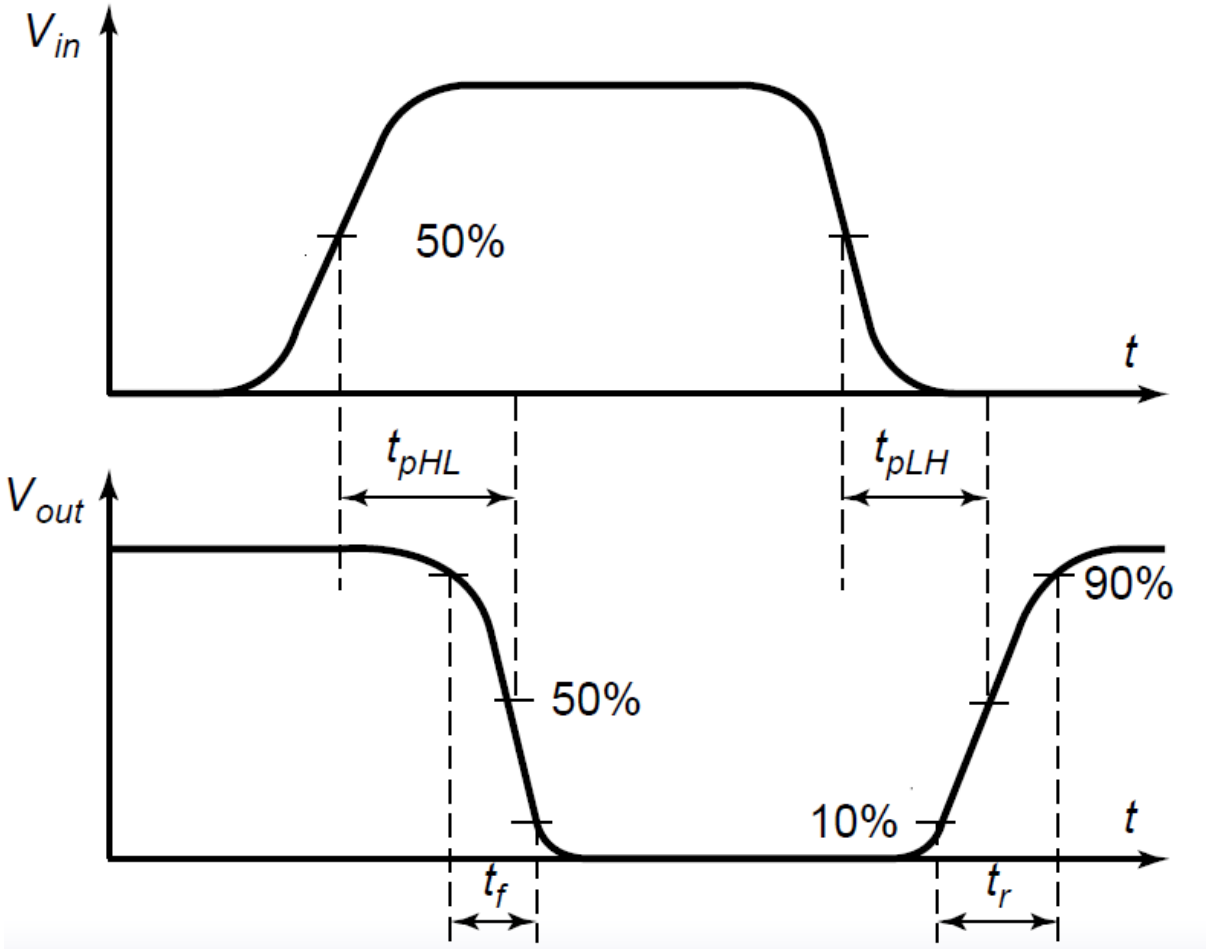
V_{IL} = 0.6 В

V_{IH} = 2.3 В

$N_{MH} = V_{OL} – V_{IH}$ = 1,3 В

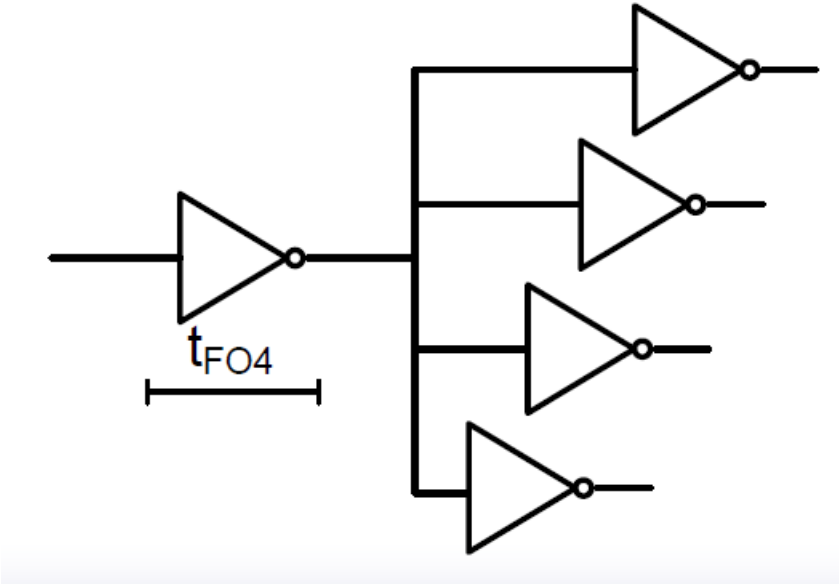
$N_{ML} = V_{IL} – V_{OL}$ = 0,2 В

Производительность: Определение задержки



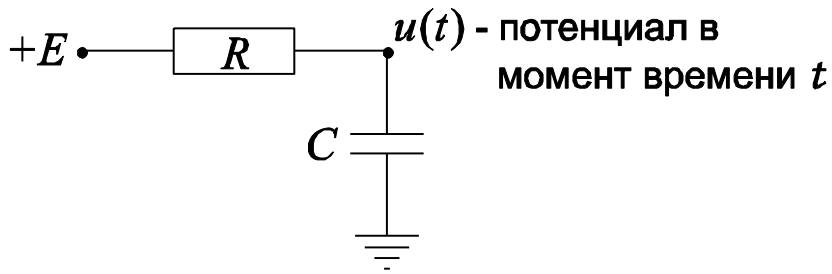
Задержка разветвленного инвертора

- Необходим способ «грубой» оценки задержки независимый от особенностей технологии производства схемы
- Метрика: инвертор с ветвлением выхода 4



RC-схемы первого порядка

- Открытый транзистор – RC-схема следующего вида:

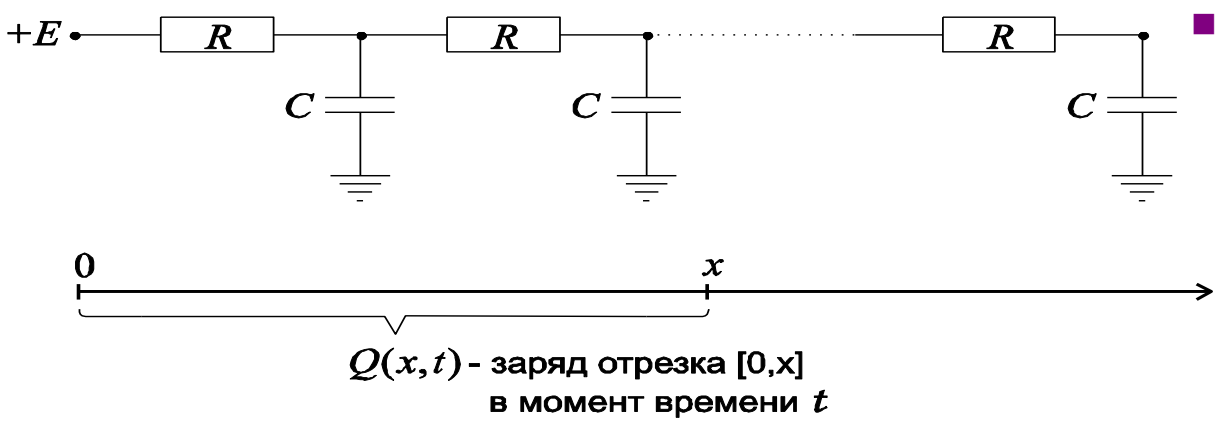


- Функция u(t) удовлетворяет дифференциальному уравнению

$$\frac{d(E-u(t))}{dt} = -\frac{1}{RC}(E-u(t)) \Rightarrow u(t) = E(1-e^{-\frac{t}{RC}})$$

- Таким образом, задержка транзистора – время, за которое потенциал *u(t)* достигает порогового значения, - пропорциональна *RC*.

Моделирование проводников при помощи RC-схем



- Задержка цепи из n дискретных сопротивлений и емкостей пропорциональна n^2, то есть квадрату ее длины

- Непрерывный проводник с линейной плотностью емкости c и линейной плотностью сопротивления r

$$\frac{\partial^2 Q(x,t)}{\partial x^2} - \frac{1}{rc}\frac{\partial Q}{\partial t} = 0 \quad \Rightarrow$$

- уравнение теплопроводности, задержка пропорциональна x^2

Энергопотребление

Instantaneous power:

$$p(t) = v(t)i(t) = V_{supply}i(t)$$

Peak power:

$$P_{peak} = V_{supply}i_{peak}$$

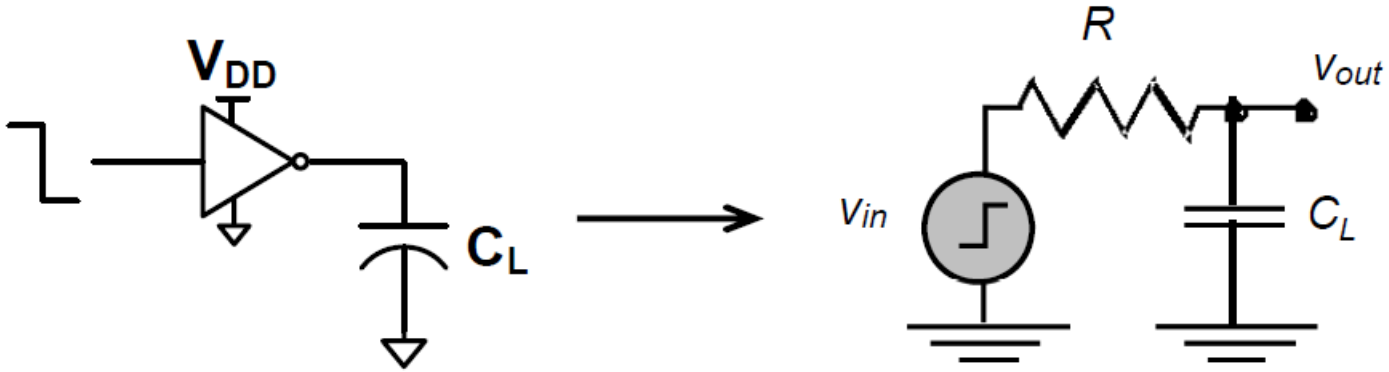
Average power:

$$P_{ave} = \frac{1}{T}\int_{t}^{t+T} p(t)dt = \frac{V_{supply}}{T}\int_{t}^{t+T} i_{supply}(t)dt$$

Метрики связанные с энергопотреблением

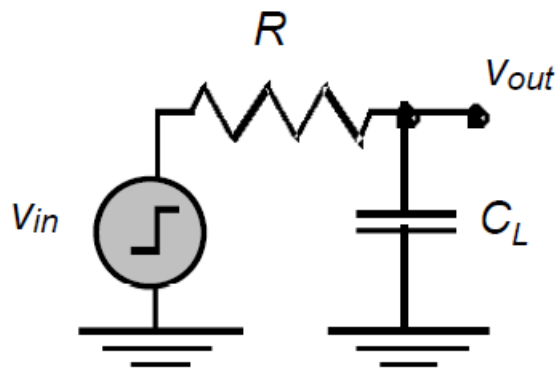
- Мощность-задержка – объединенная метрика, которая представляет произведение рассеиваемой мощности на задержку.
- Эта метрика часто приводит к тому, что полученный вентиль имеет большую задержку.
- Энергия-задержка (EDP): $EDP = (P_{ave} * t_p) * t_p$

Энергопотребление транзистора



- Напряжение на C_L установится на уровне V_{DD}
- Заряд на конденсаторе равен C_L*V_{DD}
- Таким образом, энергия равна $QV_{DD} = (C_LV_{DD})V_{DD}$

Энергопотребление транзистора



$$E_{0\to 1} = \int_0^T P_{DD}(t)dt = V_{DD}\int_0^T i_{DD}(t)dt = V_{DD}\int_0^{V_{DD}} C_L dv_{out} = C_L V_{DD}^2$$

$$E_C = \int_0^T P_C(t)dt = \int_0^T v_{out} i_L(t)dt = \int_0^{V_{DD}} C_L v_{out} dv_{out} = \frac{1}{2} C_L V_{DD}^2$$