

Языки описания схем

(mk.cs.msu.ru → Лекционные курсы → Языки описания схем)

Блок П2

Практика:
Verilog и непрерывное присваивание

Лектор:
Подымов Владислав Васильевич

E-mail:
valdus@yandex.ru

Упражнение 1

- ▶ Разработать модуль с заданным поведением в поддерживаемом фрагменте синтаксиса языка Verilog **без процедур**
- ▶ Выполнить программную симуляцию модуля с перебором **всевозможных** наборов булевых значений на входах:

1. Двухразрядный сумматор

входы ширины 2: x, y

выход ширины 3: $z: z = x + y$

2. Трёхразрядный сумматор

входы ширины 3: x, y

выход ширины 4: $z: z = x + y$

3. Двухразрядный компаратор

входы ширины 2: x, y

выход ширины 1: $ge: ge = 1 \Leftrightarrow x \geq y$

4. Трёхразрядный компаратор

входы ширины 3: x, y

выход ширины 1: $ge: ge = 1 \Leftrightarrow x \geq y$

Упражнение 1

- ▶ Разработать модуль с заданным поведением в поддерживаемом фрагменте синтаксиса языка Verilog **без процедур**
- ▶ Выполнить программную симуляцию модуля с перебором **всевозможных наборов булевых значений** на входах:

5. Двухразрядный умножитель

входы ширины 2: x, y

выход ширины 4: $z: \quad z = x \cdot y$

6. Трёхразрядный умножитель

входы ширины 3: x, y

выход ширины 6: $z: \quad z = x \cdot y$

Упражнение 1

- ▶ Разработать модуль с заданным поведением в поддерживаемом фрагменте синтаксиса языка Verilog **без процедур**
- ▶ Выполнить программную симуляцию модуля с перебором **всевозможных наборов булевых значений** на входах:

7. Мультиплексор с двумя однобитовыми входами

входы ширины 1: x_0, x_1, s

выход ширины 1: $y: y = x_s$

8. Мультиплексор с двумя двухбитовыми входами

входы ▶ ширины 2: x_0, x_1

▶ ширины 1: s

выход ширины 2: $y: y = x_s$

9. Мультиплексор с четырьмя однобитовыми входами, собранными в шину

входы ▶ ширины 4: x

▶ ширины 2: s

выход ширины 1: $y: y$ равен s -му разряду шины x

Упражнение 1

- ▶ Разработать модуль с заданным поведением в поддерживаемом фрагменте синтаксиса языка Verilog **без процедур**
- ▶ Выполнить программную симуляцию модуля с перебором **всевозможных наборов булевых значений** на входах:

10. Демультиплексор с двумя однобитовыми выходами

входы ширины 1: x , s

выходы ширины 1: y_0 , y_1 :

- ▶ $y_s = x$
- ▶ $y_{1-s} = 0$

11. Демультиплексор с двумя двухбитовыми выходами

входы ▶ ширины 2: x

 ▶ ширины 1: s

выходы ширины 2: y_0 , y_1 :

- ▶ $y_s = x$
- ▶ $y_{1-s} = 0$

Упражнение 1

- ▶ Разработать модуль с заданным поведением в поддерживаемом фрагменте синтаксиса языка Verilog **без процедур**
- ▶ Выполнить программную симуляцию модуля с перебором **всевозможных наборов булевых значений** на входах:

12. Демультиплексор с четырьмя однобитовыми выходами, собранными в шину

входы

- ▶ ширины 1: x
- ▶ ширины 2: s

выход ширины 4: y :

- ▶ s -й разряд выхода y равен x
- ▶ значение в остальных разрядах — 0

Упражнение 1

- ▶ Разработать модуль с заданным поведением в поддерживаемом фрагменте синтаксиса языка Verilog **без процедур**
- ▶ Выполнить программную симуляцию модуля с перебором **всевозможных наборов булевых значений** на входах:

13. Простое двухразрядное арифметическое устройство

входы

- ▶ ширины 2: x, y
- ▶ ширины 1: s

выход ширины 4: z :

- ▶ если $s = 0$, то $z = x + y$
- ▶ если $s = 1$, то $z = x \cdot y$

14. Простое трёхразрядное арифметическое устройство

входы

- ▶ ширины 3: x, y
- ▶ ширины 1: s

выход ширины 6: z :

- ▶ если $s = 0$, то $z = x + y$
- ▶ если $s = 1$, то $z = x \cdot y$