

Языки описания схем

mk.cs.msu.ru → Лекционные курсы → Языки описания схем

Блок 14

Verilog:

Схемный «Hello, World!»

с картинками (диаграммами сигналов)

Лектор:

Подымов Владислав Васильевич

E-mail:

valdus@yandex.ru

ВМК МГУ, 2023/2024, осенний семестр

Вступление

Файл test.v:

```
module test();
    reg [1:0] x, y;
    wire [2:0] z;
    main _testee(.x(x), .y(y), .z(z));
    initial begin
        $monitor(x,y,z,$stime);
        #1 x = 1; y = 2;
        #2 x = 2;
        #2 $finish;
    end
endmodule
```

Файл main.v:

```
module main(x, y, z);
    input [1:0] x, y;
    output [2:0] z;
    assign z = x + y;
endmodule
```

Запуск в консоли Linux:

```
>iverilog main.v test.v
>./a.out
x x x      0
1 2 3      1
2 2 4      3
>
```

Вступление

<pre>module test(); reg [1:0] x, y; wire [2:0] z; main _testee(.x(x), .y(y), .z(z)); initial begin \$monitor(x,y,z,\$stime); #1 x = 1; y = 2; #2 x = 2; #2 \$finish; end endmodule</pre>	<pre>>iverilog main.v test.v >./a.out x x x 0 1 2 3 1 2 2 4 3 ></pre>
--	---

Вывод в консоль — это не всегда наглядно и удобно для отладки схем

Есть и другой способ получения наглядной отладочной информации:

1. По завершении симуляции получить файл с диаграммами сигналов в особом текстом формате VCD, введённом в стандарте языка V
2. Визуализировать файл с диаграммами сигналов любым предназначенным для этого средством (например, gtkwave)

Сценарий выполнения с генерацией VCD

```
module test();  
    reg [1:0] x, y;  
    wire [2:0] z;  
    main _testee(.x(x), .y(y), .z(z));  
    initial begin  
        $dumpfile("dump.vcd");  
        $dumpvars(1, test);  
        #1 x = 1; y = 2;  
        #2 x = 2;  
        #2 $finish;  
    end  
endmodule
```

\$dumpfile

```
$dumpfile("dump.vcd");  
$dumpvars(1, test);
```

```
$dumpfile(<имя файла>);
```

Это игнорируемая команда, при выполнении которой указанный *файл* открывается на запись информации в формате VCD (с удалением предыдущего содержимого)

\$dumpvars

```
$dumpfile("dump.vcd");  
$dumpvars(1, test);
```

```
$dumpvars(<уровень>, <идентификаторы>);
```

Это игнорируемая команда, при выполнении которой в файл, открытый при помощи `$dumpfile`, начинают записываться значения указанных *идентификаторов*, перечисленных через запятую. *Идентификаторами* могут быть имена точек и экземпляров модулей. Считается, что «объемлющий» модуль имеет один экземпляр с тем же именем, что и у модуля.

Значения *уровня*:

- ▶ 1: в перечисленных экземплярах отслеживать значения всех точек, объявленных в соответствующих модулях
- ▶ 0: помимо предыдущего пункта отслеживать также значения всех точек всей иерархии вложенности экземпляров

Заключение

```
>iverilog main.v test.v
```

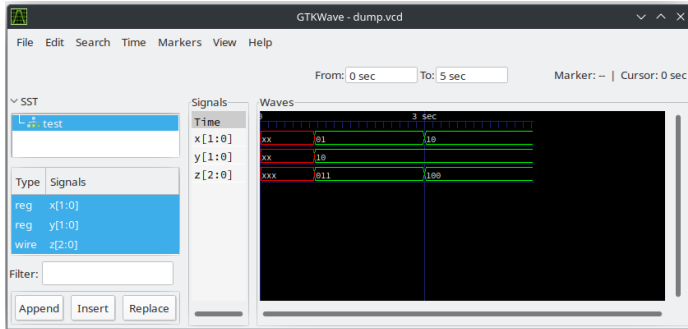
```
>./a.out
```

```
VCD info: dumpfile dump.vcd opened for output.
```

```
>ls
```

```
a.out dump.vcd main.v test.v
```

```
>gtkwave dump.vcd
```



Красный цвет сигнала с «X» означает, что значение сигнала не определено (см. далее про логические значение \mathcal{X})