

# Математические модели и методы логического синтеза СБИС

Осень 2015



# Лекция 3

# План лекции

- **КМОП-схемы с памятью, реализация автоматных функций КМОП-схемами.**
  - Логическая и транзисторная схемы асинхронной ячейки памяти(защелки), ее функционирование.
  - Схема D-триггера и его связь с единичной задержкой.
  - Синхронные последовательные схемы
  - Временные метрики последовательных схем

# КМОП-схемы с памятью

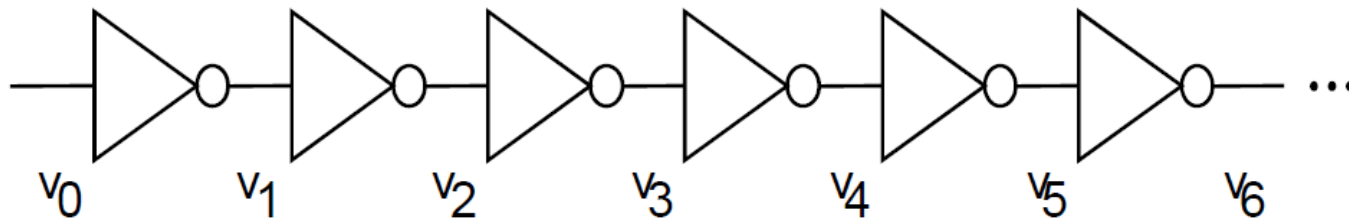
## Лекция 3

# Защелки и регистры

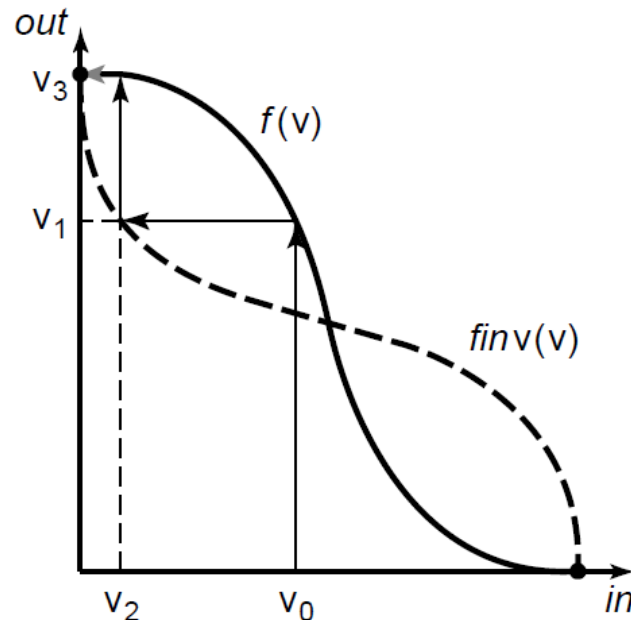
- Защелка (latch) – чувствительный к уровню сигнала схема с памятью
- Регистр (register) – управляемая фронтом сигнала схема с памятью

# Принцип бистабильности

- Цепочка инверторов

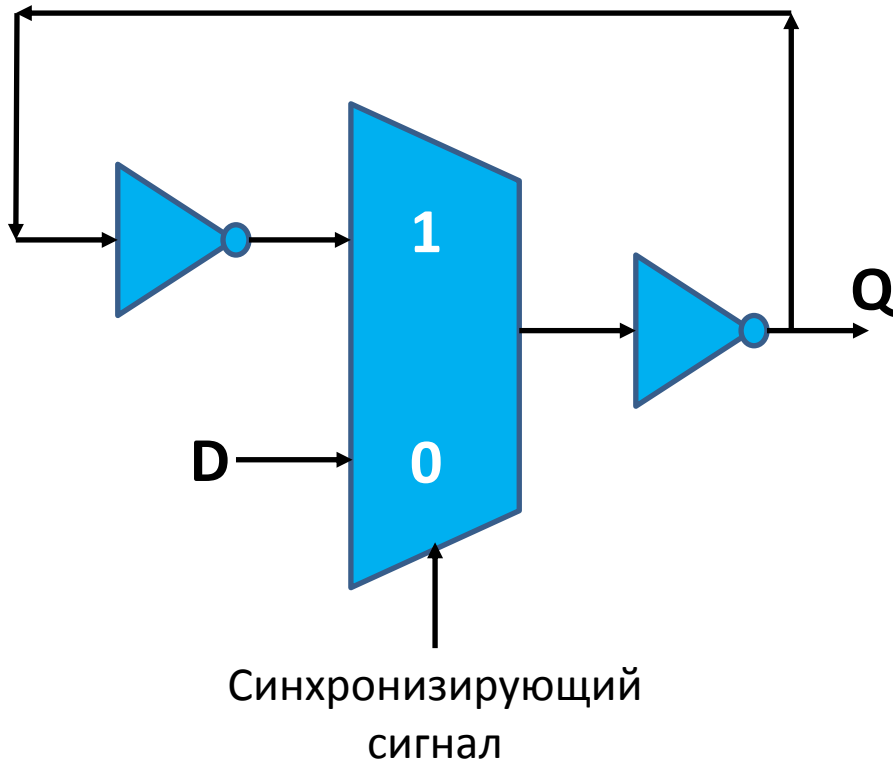


- Два стабильных состояния

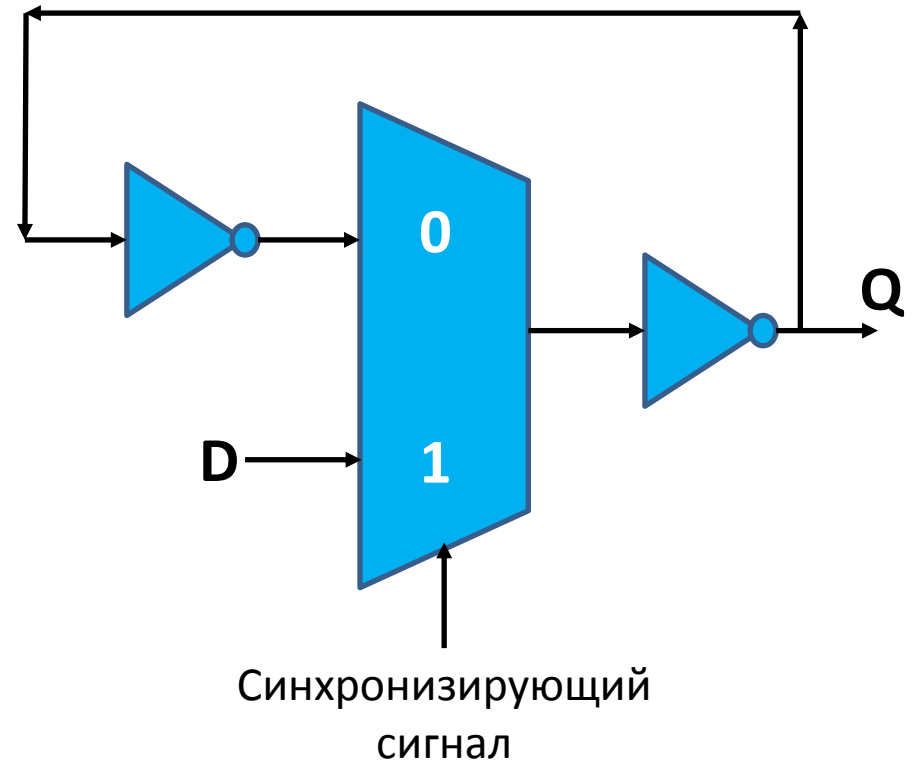


# Защелки, основанные на мультиплексоре

Отрицательная  
защелка

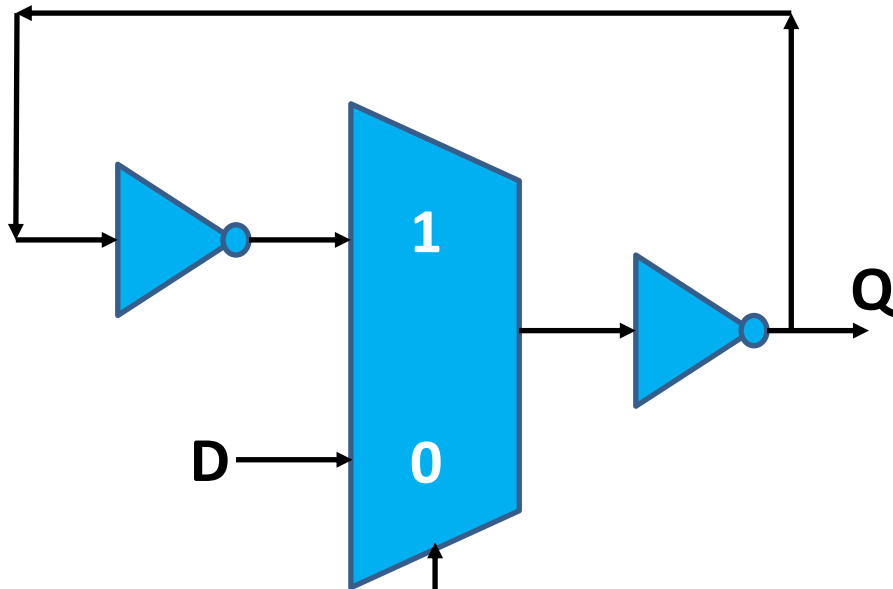


Положительная  
защелка

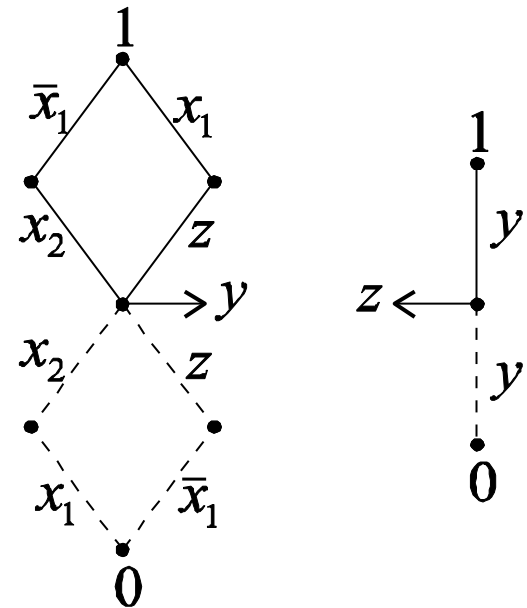


# Транзисторная схема защелки

Отрицательная  
защелка



Синхронизирующий  
сигнал

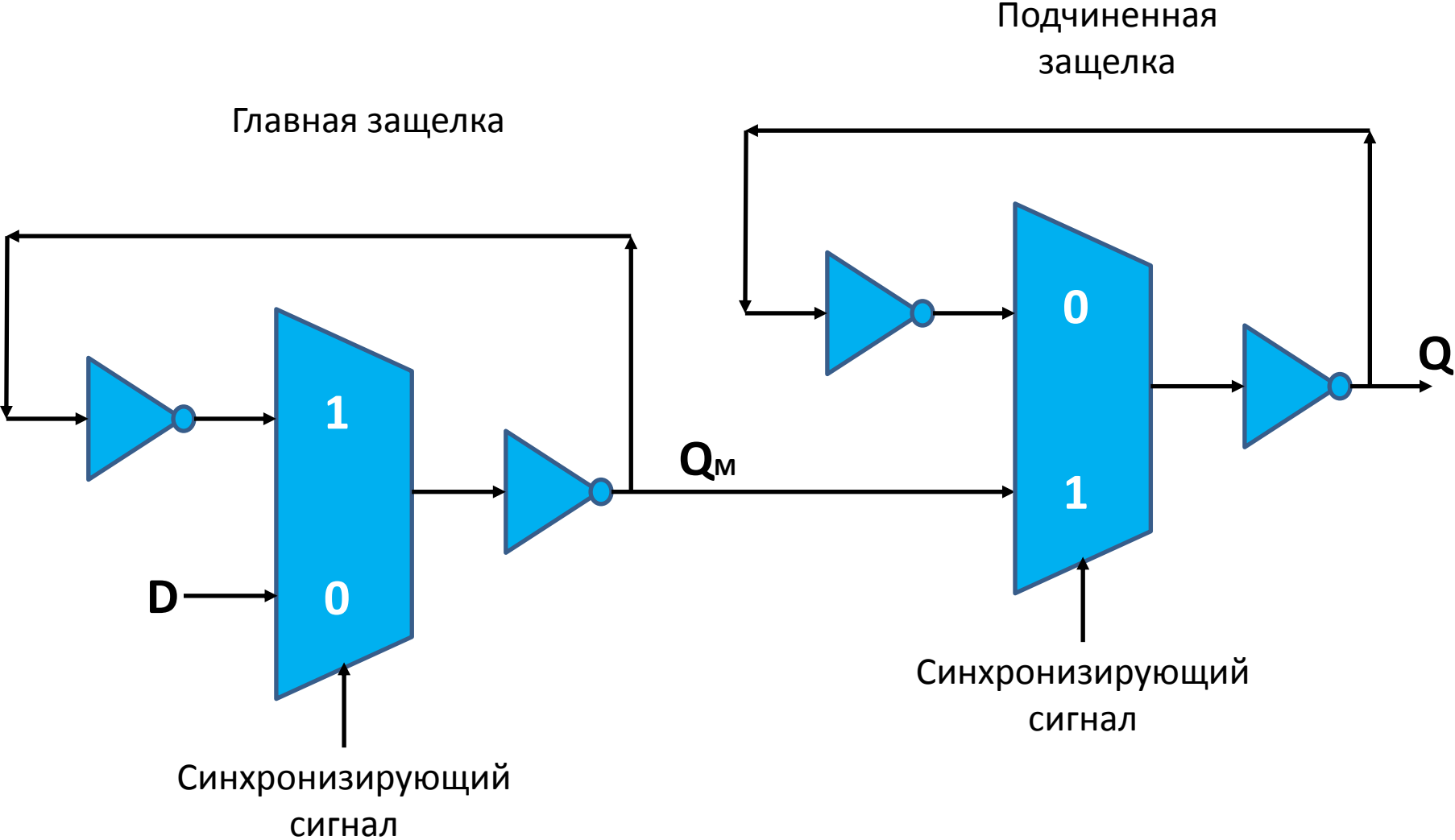


$x_1$  - разрешение  
записи

$x_2$  - информационный  
вход

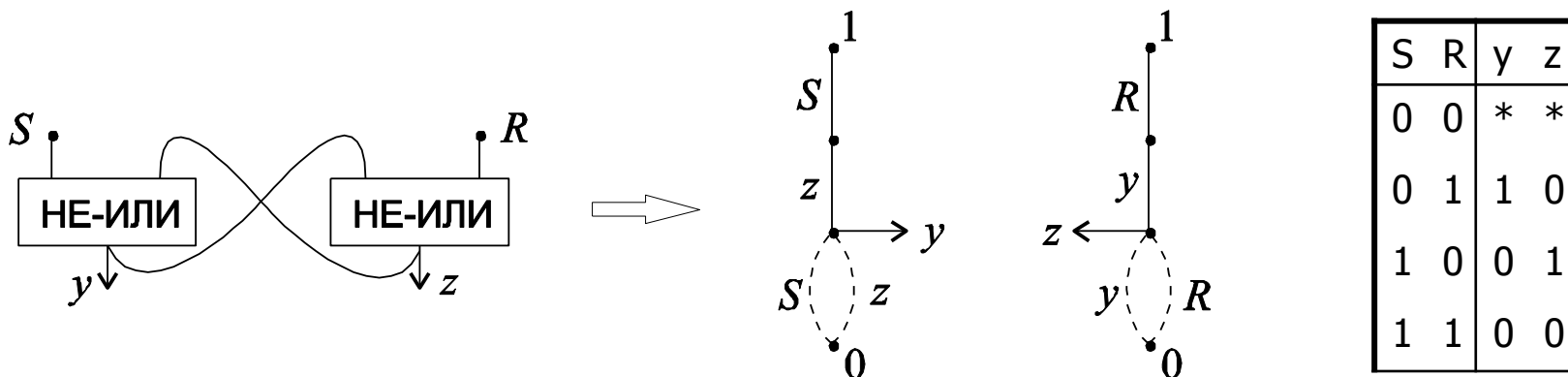


# Логическая схема D-триггера



# RS-триггер – запись данных методом грубой силы

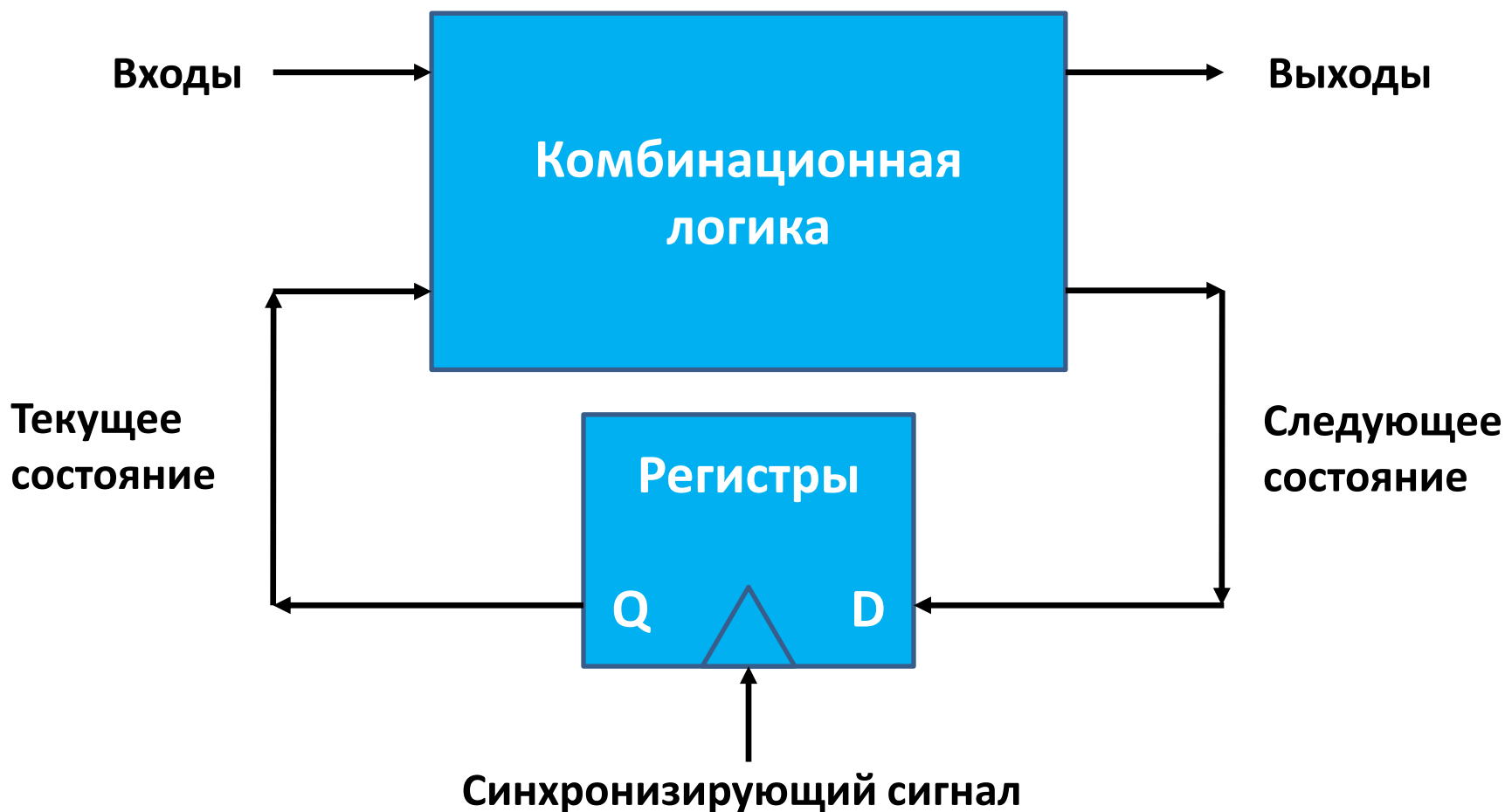
Функциональная и транзисторная схемы RS-триггера:



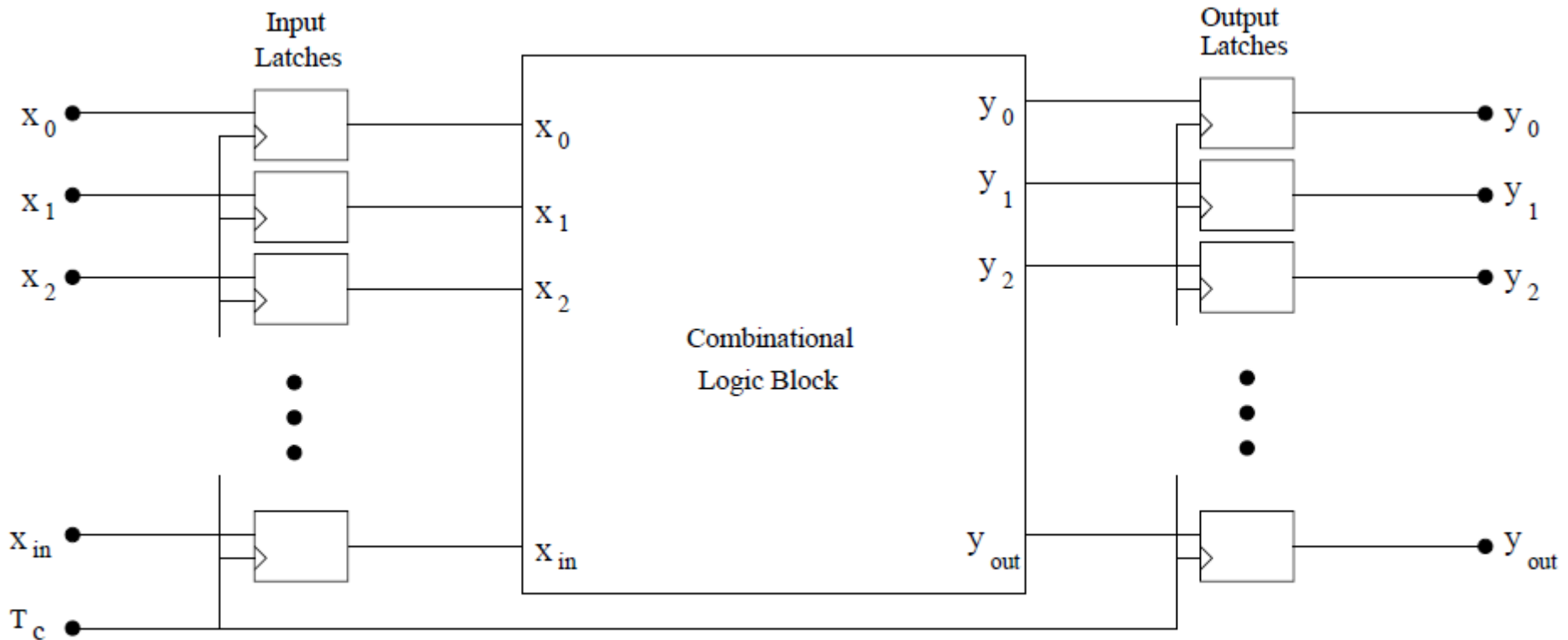
# Синхронные последовательные схемы

Лекция 3

# Синхронные последовательные схемы



# Синхронные последовательные СХЕМЫ



# Временные метрики последовательных схем

- Время установки ( $t_{su}$ ) – временной интервал, в течение которого входные данные (D) должны оставаться стабильными до тактового перехода
- Время удержания ( $t_{hold}$ ) – временной интервал, в течение которого данные должны оставаться стабильными после фронта синхроимпульса
- $t_{c-q}$  – наихудшая задержка распространения
- $t_{plogic}$  – наибольшая задержка распространения ЛОГИКИ
- Такт (clock period)  $T > t_{c-q} + t_{plogic} + t_{su}$

# Временные метрики последовательных схем

