Языки описания схем

(mk.cs.msu.ru → Лекционные курсы → Языки описания схем)

Блок 4

Последовательные схемы

и тактовый сигнал

лектор:

Подымов Владислав Васильевич

e-mail:

valdus@yandex.ru

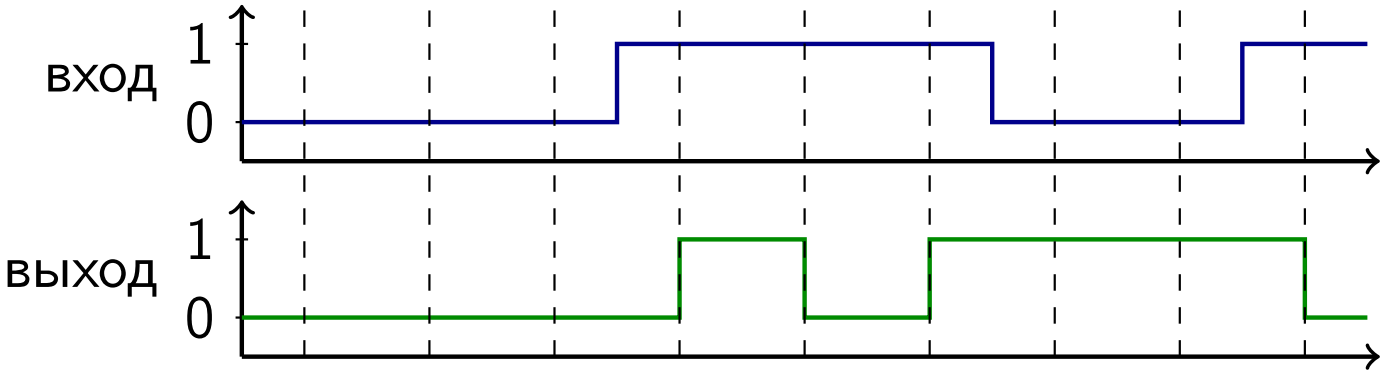
Осень 2017

Вступление

Итог предыдущего блока:
комбинационная схема — это “более реальный” аналог СФЭ

Комбинационной схемой реализуется механизм распространения сигнала в реальном времени согласно заданной булевой функции (*мгновенно*, *с заданной задержкой*, *с периодом нестабильности выходного сигнала*, . . .)

А можно ли при помощи комбинационной схемы реализовать, например, счётчик чётности числа единиц, располагающихся во входном сигнале через заданные промежутки времени?

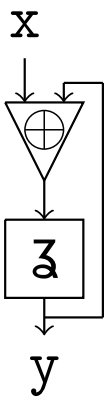


Вступление

Подавляющее большинство цифровых устройств для выставления выходных значений используют не только текущие входные значения, но и всю историю изменения входных значений

Одна из наиболее известных моделей реализации булевой функции, зависящей от значений переменных в текущий и предыдущие моменты времени — это СФЭЗ

Счётчик чётности в модели СФЭЗ может выглядеть так:



А как элемент задержки выглядит в реальности?

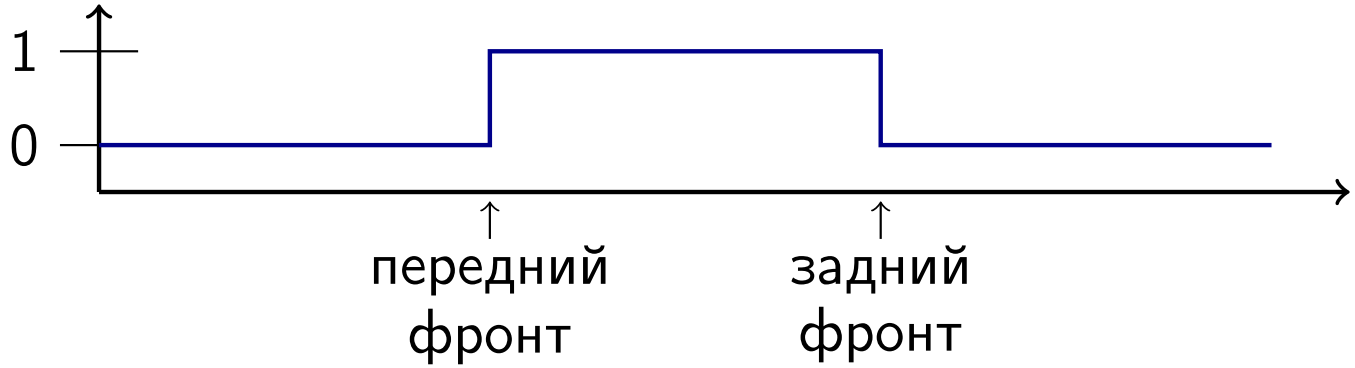
Тактовый сигнал

Элемент задержки работает в дискретном времени:

- 0-й момент: выдаёт начальное значение
- 1-й момент: выдаёт значение, поданное на вход в 0-й момент
- 2-й момент: выдаёт значение, поданное на вход в 1-й момент
- 3-й момент: выдаёт значение, поданное на вход в 2-й момент
- ...

А где в реальности взять дискретные моменты времени?

Тактовый сигнал



Хороший цифровой сигнал имеет вид продолжительных отрезков стабильных напряжений 0 и 1 с моментами (*непродолжительными временными интервалами*) изменения напряжения с 0 на 1 и с 1 на 0

Передний фронт сигнала — это момент его изменения с 0 на 1

Задний фронт сигнала — это момент его изменения с 1 на 0

Реальный аналог дискретной последовательности моментов времени СФЭЗ — это последовательность передних (или задних) фронтов сигнала на выделенном входе схемы

Этот вход называется тактовым, а сигнал на этом входе — тактовым сигналом

Комбинационные схемы с обратной связью

Каждый логический вентиль может расцениваться как реальный объект (например, совокупность МОП-транзисторов на кристалле), распространяющий реальный сигнал (например, уровни напряжения с некоторой задержкой при открытии/закрытии транзисторов)

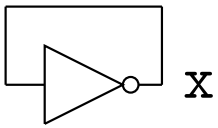
А что будет, если логические вентили замкнуть в цикл?

С точки зрения СФЭ, так делать категорически нельзя: мгновенная обратная связь может привести к мгновенному бесконечному изменению выходного сигнала, что абсолютно бессмысленно

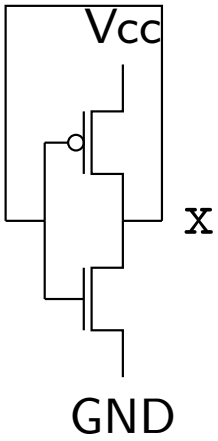
Реальная обратная связь не бывает мгновенной: любой сигнал распространяется с конечной скоростью (ненолевой задержкой)

Комбинационные схемы с обратной связью

Игрушечный пример



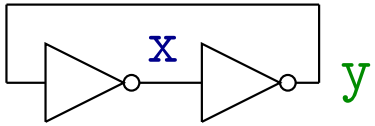
В реальности это может выглядеть, например, так:



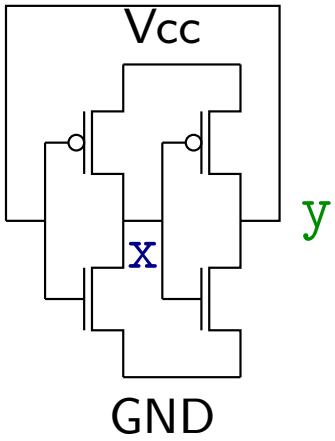
Такая реализация будет работать, хотя и не очень хорошо:

Комбинационные схемы с обратной связью

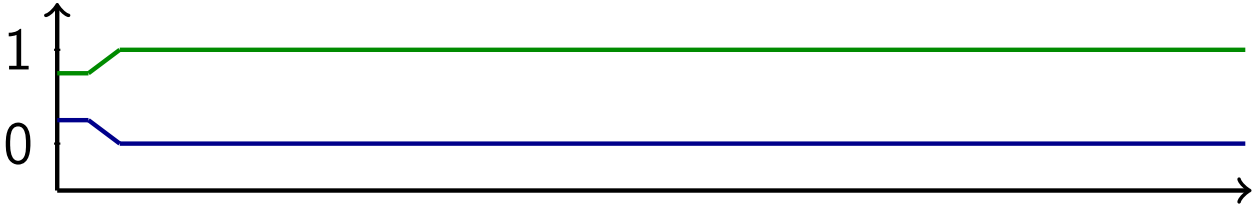
Другой игрушечный пример



В реальности это может выглядеть, например, так:

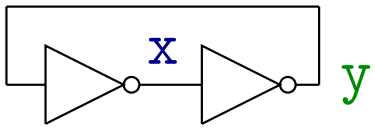


Такая реализация будет работать немного лучше:

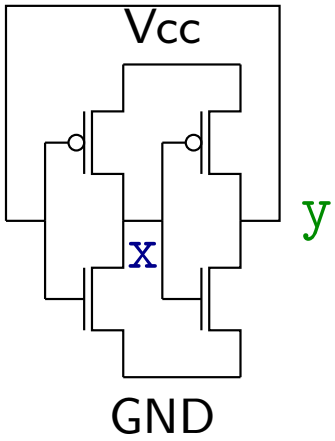


Комбинационные схемы с обратной связью

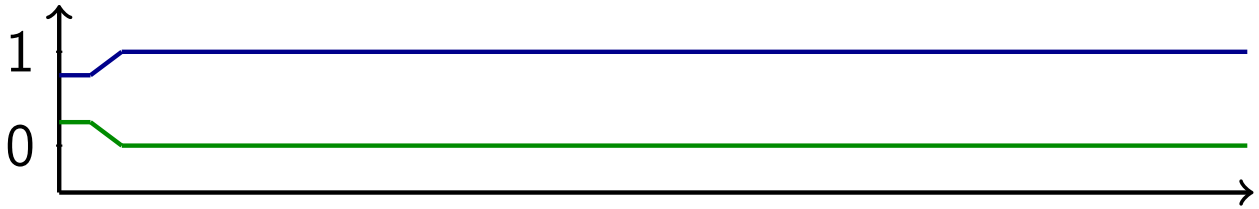
Другой игрушечный пример



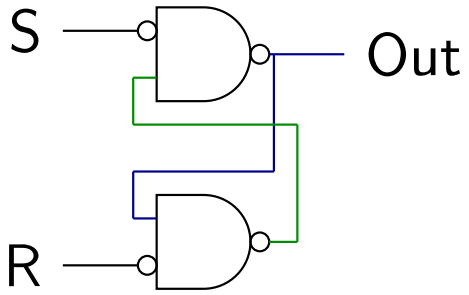
В реальности это может выглядеть, например, так:

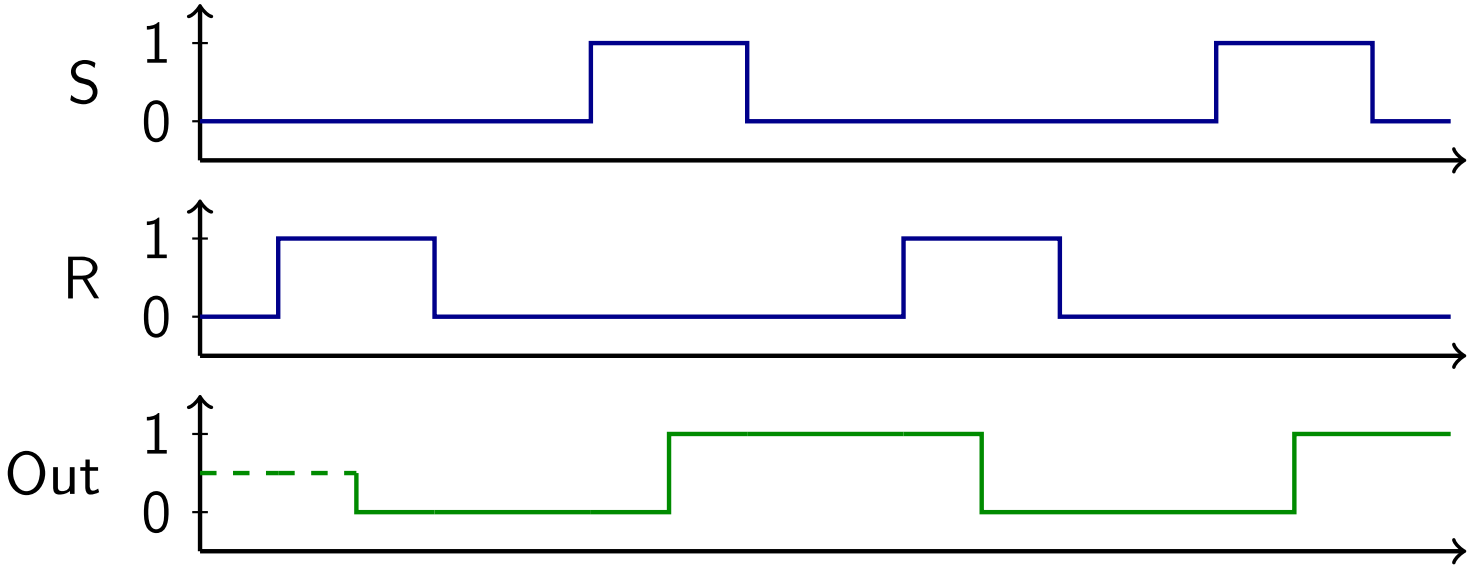


Такая реализация будет работать немного лучше:

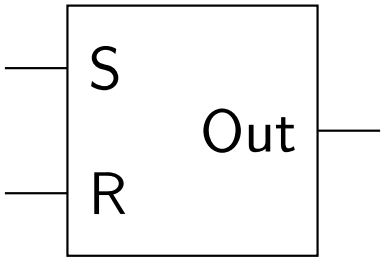


Последовательные примитивы

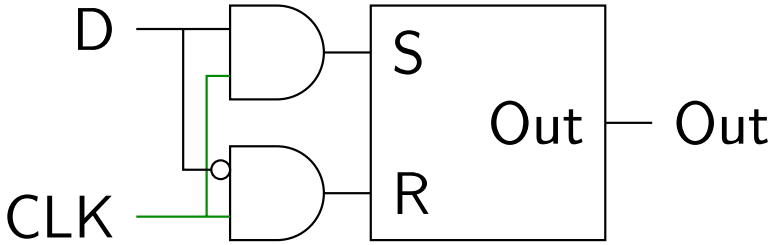


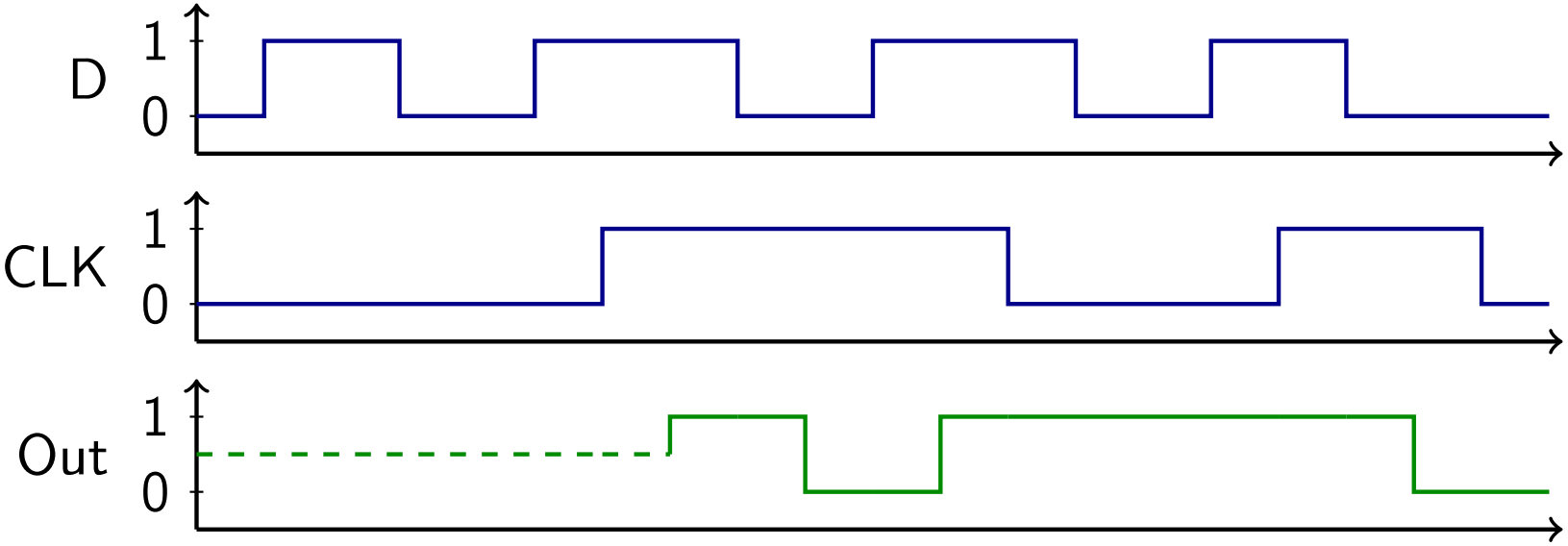


Это RS-защёлка, или RS-триггер:

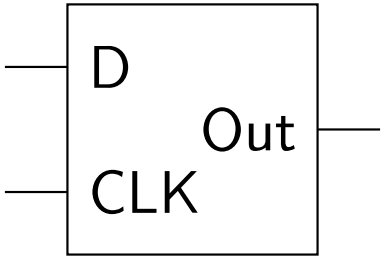


Последовательные примитивы

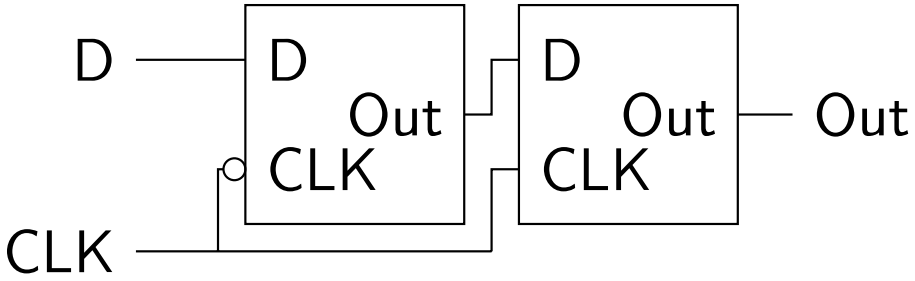


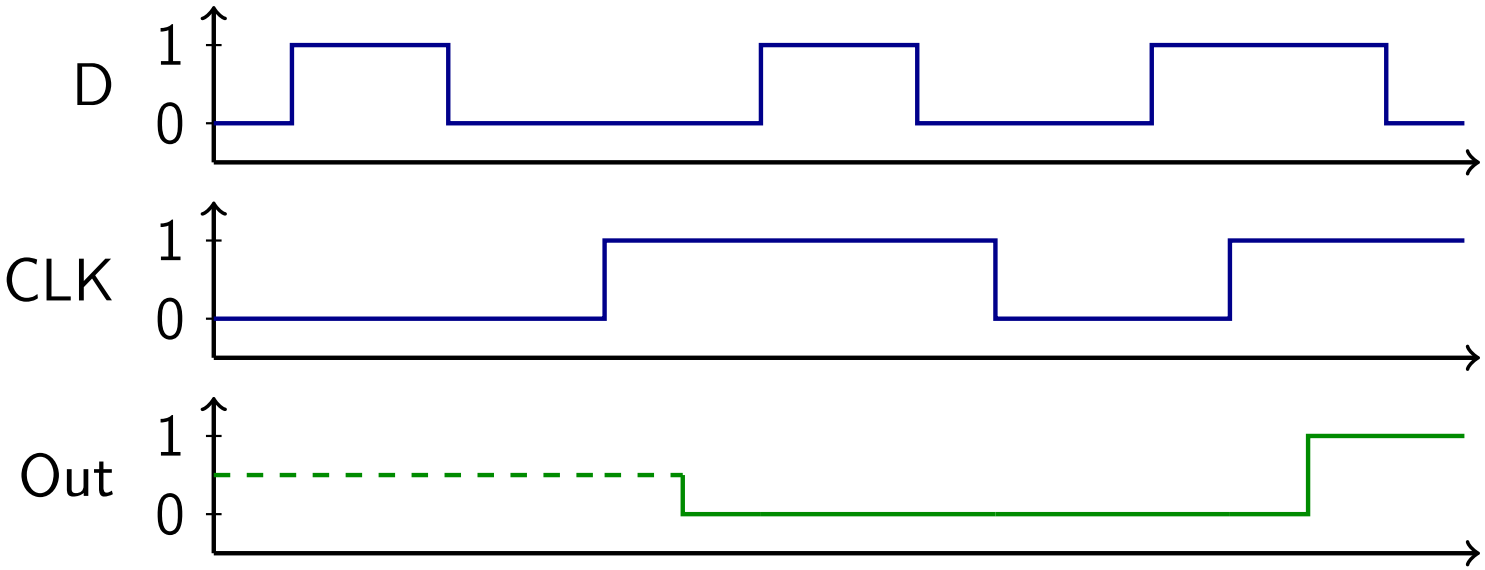


Это D-защёлка:

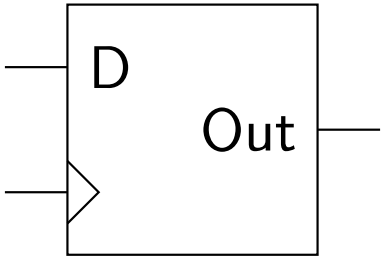


Последовательные примитивы

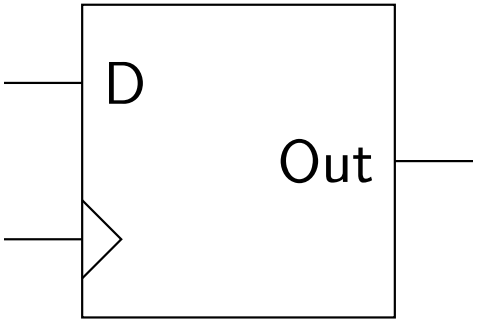




Это D-триггер:



Последовательные примитивы



Треугольник — это стандартное обозначение тактового входа

Функционал D-триггера можно содержательно описать так:

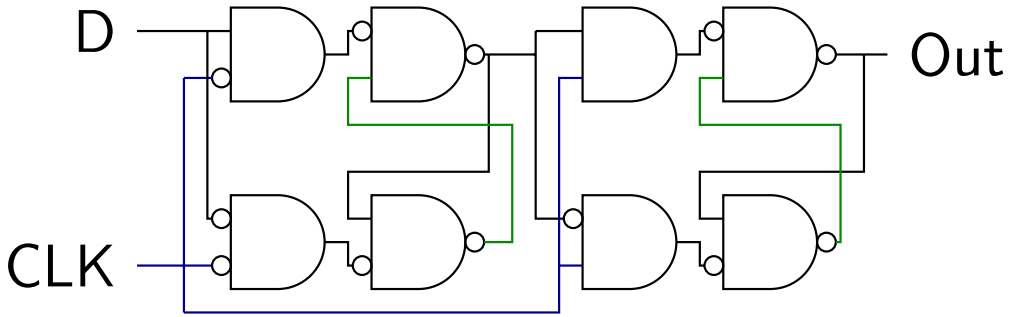
- во время переднего фронта тактового сигнала триггер сохраняет значение на входе D
- на выходе Out постоянно выставляется последнее сохранённое значение

D-триггер — это

- реальный аналог элемента единичной задержки
- наиболее популярная реализация однобитовой ячейки памяти в цифровых схемах
- ключевой элемент последовательных схем

Последовательные примитивы

Если записать D-триггер в виде комбинационной схемы с обратными связями, то это может выглядеть так:



А какое значение будет на выходе Out, если в тактовом сигнале CLK не было ни одного переднего фронта?

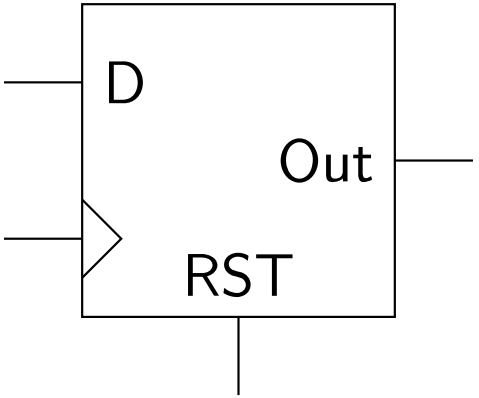
Реализация D-триггера может быть и иной, но особенность его работы остаётся в большинстве реализаций:

до первого переднего фронта тактового сигнала значение на выходе D-триггера определено неоднозначно

Последовательные примитивы

D-триггер со сбросом отличается от обычного D-триггера тем, что

- триггер со сбросом имеет дополнительный вход RST, на который подаётся сигнал сброса
- по переднему фронту сигнала сброса триггер инициализируется: сохраняет значение 0



Последовательные примитивы

Правила хорошего тона при разработке схем:

1. тактовый сигнал
   - подаётся на специальный тактовый вход схемы
   - имеет постоянную частоту осцилляции
   - перенаправляется на все тактовые входы компонентов схемы, работающих согласно единому дискретному времени
2. сигнал сброса
   - подаётся на специальный вход схемы
   - своим передним фронтом обозначает начало работы схемы:
     - инициализирует все ячейки памяти, значение которых влияет на функционал схемы во время первого переднего фронта тактового сигнала

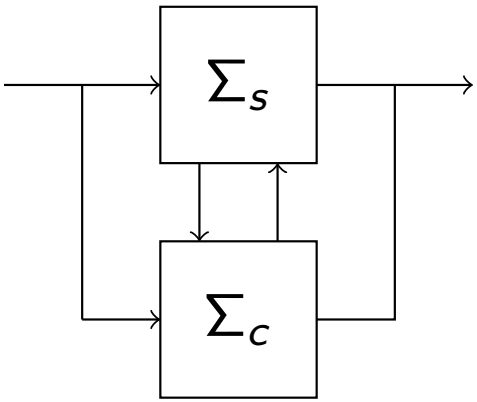
Эти правила можно смело **не** соблюдать, но только с полным осознанием всех последствий

Последовательные схемы

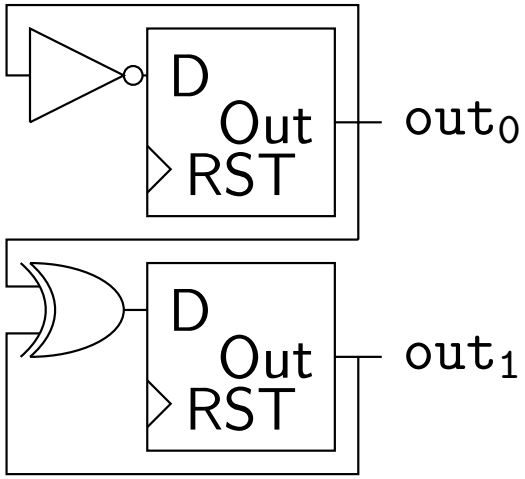
Последовательная схема, или схема с памятью, — это схема, выходные сигналы которой зависят от значений входных сигналов в данный и предыдущие моменты времени

Типичная реализация синхронной последовательной схемы Σ состоит из:

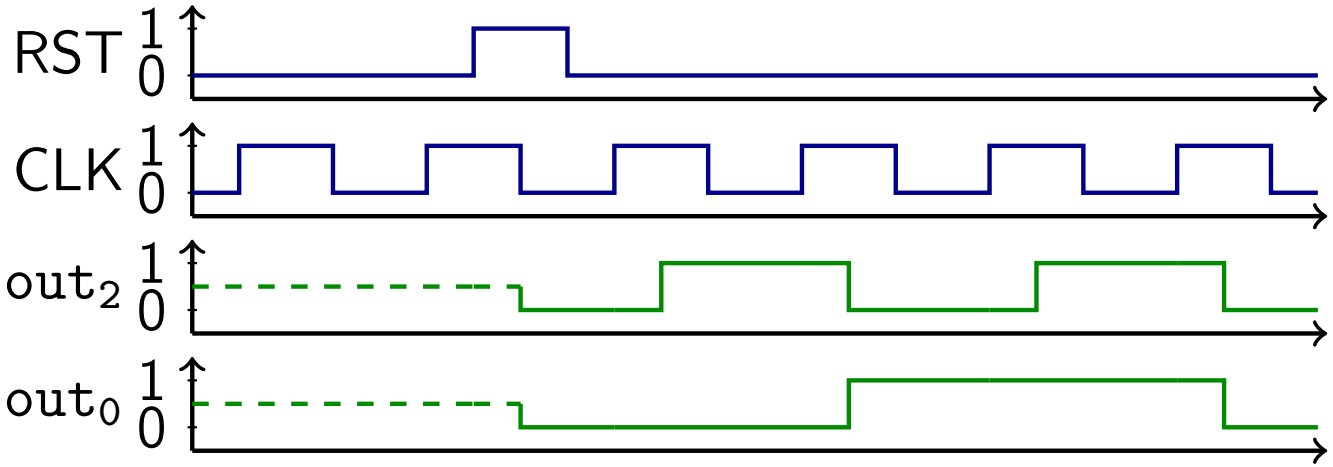
1. последовательной части Σ_s — набора независимых D-триггеров с общим тактовым сигналом
2. комбинационной части Σ_c — комбинационной схемы,
   - входами которой являются входы Σ и выходы Σ_s, и
   - выходами которой являются выходы Σ и входы Σ_s



Пример последовательной схемы



Это двухбитовый счётчик, реализованный в последовательной логике



Конец блока 4