Лабораторная работа №2.

Аппаратная реализация алгоритмов на примере ПЛИС.

Цель лабораторной работы.

Цель лабораторной работы освоить базовые принципы аппаратной реализации алгоритмов с использованием синхронных схем. Научиться проектировать соответствующие операционный и управляющий автоматы

Лабораторная работа состоит из нескольких этапов. В рамках лабораторной работы все студенты выполняют одинаковый набор заданий. При этом алгоритм, для которого производится моделирование и тестирование у каждого студента свой (свой вариант).

Далее, идет описание этапов лабораторной работы, а после указаны варианты алгоритмов. При этом распределение студентов по вариантам указано в отдельном файле.

Этапы лабораторной работы

Этап 1. Элементы операционного автомата (datapath).

Необходимо создать набор модулей на языке Verilog, которые реализуют основные блоки операционного автомата (datapath). Основными блоками операционного автомата являются регистры, блоки сравнения и блоки выполняющие соответствующие арифметические операции.

Этап 2. Проектирование операционного автомата (datapath).

Требуется спроектировать операционный автомат для алгоритма, заданного в варианте, на основе модулей, созданных на предыдущем этапе. В результате этого этапа должна быть построена блок-схема операционного автомата и определен его интерфейс.

Этап 3. Проектирование управляющего автомата.

Составить диаграмму Мура управляющего автомата, который использует операционный автомат для выполнения основных операций, заданного алгоритма. По диаграмме Мура написать модуль на языке Verilog, реализующий указанный автомат.

Этап 4. Сборка и верификация полученной аппаратной реализации алгоритма.

Написать модуль на языке Verilog, который инстанцирует модуль управляющего автомата и все компоненты операционного автомата и инстанцирует блок памяти соответствующего размера. Указанный блок памяти соответствующим образом инициализируется при помощи .MIF файла. Требуется соответствующим образом соединить все инстанцированные блоки и проверить корректность полученной аппаратной реализации алгоритма при помощи её симуляции с использованием ModelSim. Дополнительно требуется, чтобы все модули были параметризованы. В качестве основных параметров выступает количество бит для регистров и других основных блоков, а также количество ячеек памяти.

Этап 5 Реализация устройства при помощи программируемых интегральных схем.

Используя Quartus II, реализовать спроектированную раннее аппаратную реализацию алгоритма в виде соответствующего файла-прошивки для ПЛИС Altera DE0-Nano. При этом во всех вариантах предполагается, что все входы устройства выведены на переключатели и кнопки ПЛИС (сопоставление входов схемы с периферией студент выбирает самостоятельно), а выходы на светодиоды. Для тестирования работы аппаратной реализации алгоритма в качестве сигнала тактового генератора должна использоваться одна из кнопок ПЛИС. Кроме того, должна быть спроектирована и протестирована аппаратная реализация алгоритма, когда сигнал тактового генератора подается через соответствующий PLL блок, выдающий максимально возможную частоту сигнала, при которой спроектированное устройство работает корректно.

Варианты моделируемых устройств.

Вариант 1.

Алгоритм нахождения минимального элемента массива целых чисел.

Вариант 2.

Алгоритм нахождения максимальный элемента массива целых чисел.

Вариант 3.

Алгоритм бинарного поиска элемента в упорядоченном массиве целых чисел.

Вариант 4.

Алгоритм нахождения суммы элементов массива.

Вариант 5.

Алгоритм нахождения произведения элементов массива.

Вариант 6.

Алгоритм нахождения числа четных элементов массива.

Вариант 7.

Алгоритм нахождения числа нечетных элементов массива.